

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-109396  
(43)Date of publication of application : 18.04.2000

---

(51)Int.CI. C30B 29/06  
H01L 21/20  
H01L 21/322

---

(21)Application number : 11-084916 (71)Applicant : NIPPON STEEL CORP  
NSC ELECTRON CORP  
(22)Date of filing : 26.03.1999 (72)Inventor : HASEBE MASAMI  
NAKAI KATSUHIKO  
IWASAKI TOSHIO  
OHASHI WATARU  
IKARI ATSUSHI

---

(30)Priority  
Priority number : 10224829 Priority date : 07.08.1998 Priority country : JP

---

## (54) SILICON SEMICONDUCTOR SUBSTRATE AND ITS PRODUCTION

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the occurrence defects as much as possible in an epitaxial layer and in the region near the interface of the epitaxial layer and a substrate wafer and to add excellent gettering characteristics, by using a silicon wafer containing a specified amt. of nitrogen as the substrate wafer and depositing a silicon single crystal layer by epitaxial method on the surface of the wafer.



**SOLUTION:** An amt. of nitrogen in the substrate wafer is specified to  $1.0 \times 10^{12}$  to  $1.0 \times 10^{16}$  atoms/cm<sup>3</sup>. The silicon wafer 1a satisfying the above condition is produced by Czochralski (CZ) method or magnetic field-applied CZ method by using fused silicon containing  $1.0 \times 10^{16}$  to  $1.5 \times 10^{19}$  atoms/cm<sup>3</sup> nitrogen. By incorporating a specified amt. of nitrogen, the density of point defects during growing crystals and aggregation behavior of the crystals are changed to suppress production of minute defects or void defects in the epitaxial layer 3 and in the region 2, 1b near the interface. Further, proper crystal defects are produced in an IG layer 1d to enhance the gettering ability.

---

### LEGAL STATUS

\* NOTICES \*

**JPO and NCIPPI are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**CLAIMS**

[Claim(s)]

[Claim 1] a nitrogen content --  $1.0 \times 10^{13}$  atoms/cm<sup>3</sup> the above --  $1.0 \times 10^{16}$  atoms/cm<sup>3</sup> epitaxial [ silicon wafer / which is the following / on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. ] in a substrate wafer -- silicon semi-conductor substrate characterized by coming to deposit a silicon single crystal layer by law.

[Claim 2] an oxygen content --  $1.0 \times 10^{17}$  atoms/cm<sup>3</sup> epitaxial [ silicon wafer / above / on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. ] in a substrate wafer -- it is the silicon semi-conductor substrate which comes to deposit a silicon single crystal layer by law, and as epitaxial at least as said substrate wafer -- the field from the interface of the silicon single crystal layer deposited by law to a depth of 1 micrometer -- setting -- diameter conversion -- the consistency of a crystal defect 0.1 micrometers or more --  $5 \times 10^4$  An individual / cm<sup>3</sup> Silicon semi-conductor substrate characterized by being the following.

[Claim 3] an oxygen content --  $1.0 \times 10^{17}$  atoms/cm<sup>3</sup> above epitaxial [ silicon wafer / on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. ] in a substrate wafer -- it is the silicon semi-conductor substrate which comes to deposit a silicon single crystal layer by law, and as epitaxial at least as said substrate wafer -- the field from the interface of the silicon single crystal layer deposited by law to a depth of 1 micrometer -- setting -- diameter conversion -- the consistency of a crystal defect 20nm or more --  $5 \times 10^5$  piece/cm<sup>3</sup> Silicon semi-conductor substrate characterized by being the following.

[Claim 4] It sets to the field from the interface of the silicon single crystal layer deposited by said substrate wafer and epitaxial method at least to a depth of 1 micrometer, and the consistency of a crystal defect 0.1 micrometers or more is  $5 \times 10^4$  by diameter conversion further. An individual / cm<sup>3</sup> Silicon semi-conductor substrate according to claim 3 which is the following.

[Claim 5] Said substrate wafer is nitrogen further  $1.0 \times 10^{13}$  atoms/cm<sup>3</sup> It is  $1.0 \times 10^{16}$  atoms/cm<sup>3</sup> above. Silicon semi-conductor substrate according to claim 2 to 4 which it comes to contain below.

[Claim 6] It sets focusing on the thickness of said substrate wafer, and the crystal defect consistency of 20nm or more is  $1 \times 10^8$  by diameter conversion. An individual / cm<sup>3</sup> Silicon semi-conductor substrate according to claim 1 to 5 which it is above.

[Claim 7]  $1.0 \times 10^{16}$  atoms/cm<sup>3</sup> the above --  $1.5 \times 10^{19}$  atoms/cm<sup>3</sup> epitaxial [ silicon wafer / which was obtained from the silicon single crystal raised using the silicon melt containing the following nitrogen / on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. ] in a substrate wafer -- the manufacture approach of the silicon semi-conductor substrate characterized by making a silicon single crystal layer deposit by law.

[Claim 8] The manufacture approach of the silicon semi-conductor substrate characterized by depositing a silicon single crystal layer for the silicon wafer which obtained the 800-degree C crystal temperature requirement from the silicon single crystal raised with the above cooling rate by 2.0-degree-C/by the epitaxial method as a substrate wafer on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. from coagulation temperature with the Czochralski method or the magnetic field impression Czochralski method.

[Claim 9] The manufacture approach of the silicon semi-conductor substrate characterized by depositing a silicon single crystal layer for the silicon wafer obtained from the silicon single crystal which raised the 800 degrees C - 400 degrees C crystal temperature requirement with the above cooling rate by 1.0-degree-C/with the Czochralski method or the magnetic field impression Czochralski method by the epitaxial method as a substrate wafer on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne.

[Claim 10] The manufacture approach of the silicon semi-conductor substrate characterized by depositing a silicon single crystal layer for the silicon wafer obtained from the silicon single crystal which it is the silicon single crystal raised with the Czochralski method or the magnetic field impression Czochralski method, and the silicon single crystal under crystal-pulling training raised the 800-degree C crystal temperature requirement with the above cooling rate by 2.0-degree-C/from coagulation temperature, and raised the 800 degrees C - 400 degrees C crystal temperature requirement with the above cooling rate by 1.0-degree-C/successively by the epitaxial method as a substrate wafer on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne.

[Claim 11] 1.0x10<sup>16</sup> atoms/cm<sup>3</sup> The manufacture approach of a silicon semi-conductor substrate according to claim 8 to 10 of raising a silicon single crystal using the silicon melt which contains three or less 1.5x10<sup>19</sup> atoms/cm nitrogen above.

[Claim 12] The manufacture approach of the silicon semi-conductor substrate according to claim 7 to 11 which deposits a silicon single crystal layer for what carried out heat treatment for the silicon wafer obtained from the silicon single crystal raised with the Czochralski method or the magnetic field impression Czochralski method 5 minutes or more at 1000-degree-C or more temperature of 1300 degrees C or less by the epitaxial method as a substrate wafer on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] About upgrading of an epitaxial silicon semi-conductor substrate, especially this invention removes the defect near the interface of an epitaxial layer and an epitaxial layer, and its substrate wafer, and relates to the epitaxial semi-conductor substrate which raises the yield of the device created on an epitaxial substrate, and its manufacture approach.

[0002]

[Description of the Prior Art] The crystal defect by which induction is carried out in the minute defect which exists a silicon semi-conductor substrate front face and near a surface from immediately after substrate manufacture with improvement in a device degree of integration in recent years, or a device manufacture process raises the poor device pattern at the time of device formation, or causes the malfunction of a device, and reducing the manufacture yield of a device is known. The defect called COP (Crystal Originated Particles or Crystal Originated Pits) detected as an about 0.1-micrometer pit to the substrate front face immediately after substrate manufacture as a cause of this device yield fall attracts attention. When a silicon semi-conductor substrate is washed with the mixed liquor of an ammonia-hydrogen peroxide, this points out the pit which considered the crystal defect produced on a substrate front face as the cause, and since this pit is measured with the test equipment which carries out counting of the particle on the front face of a substrate, it is called in this way. although COP is what names generically defective [ which is detected by such measuring method / at large ] -- the usual CHOKURARU skiing (CZ) -- in the silicon single crystal raised by the CZ process which impressed law or a magnetic field, the stereo of this defect is considered to be the opening (for a hole defect to be called hereafter) of the octahedron under crystal, and this is presumed to cause the poor pattern of a device, and structural destruction. Moreover, besides COP, as a silicon semi-conductor substrate which is not made to form near the substrate front face, the epitaxial silicon substrate to which epitaxial growth of the silicon single crystal layer was carried out by the chemical-vapor-deposition method etc. attracts attention, and various crystal defects, such as an oxygen sludge, a dislocation loop, and a stacking fault, are also increasingly used on a slice and the wafer which carried out mirror polishing from the silicon single crystal raised by the CZ process or the magnetic field impression CZ process.

[0003] Although an epitaxial silicon substrate is a substrate which newly deposits a single crystal layer which hardly includes oxygen and a defect on a silicon wafer as mentioned above the time of epitaxial layer deposition -- the surface state (it is called the pit and hillrock resulting from hole defects and oxygen sludges, such as COP, -- minute -- a hill -- the defect of a \*\* --) of a wafer Furthermore, generate a defect in an epitaxial layer by existence of a stacking fault etc., or It originated in the hole defect and oxygen sludge which exist near the wafer front face in a device manufacture process, and induction of the defect was carried out into the epitaxial layer, and the problem of the hole defect and oxygen impurity near the wafer front face being spread in an epitaxial layer, and forming a new defect had arisen. For this reason, although the front face of the former wafer itself which deposits an epitaxial layer, and the defect-free-sized technique in that near are important in order to obtain a quality epitaxial

silicon substrate, the gettering capacity as resistance over various contamination in a device process is also demanded of the wafer itself, and it is also required for a wafer core to make moderately the defect which has gettering capacity. Moreover, the production process from single crystal growth to epitaxial layer grant is long, and although it is in the inclination which the manufacturing cost of a substrate increases in order to also perform quality control strictly, the point how to enable it to manufacture the epitaxial silicon semi-conductor substrate of high quality by low cost is also an important technical problem.

[0004] Then, some proposals are made about the silicon wafer used for an epitaxial substrate until now as the defective reduction technique near the front face, or a defective structure lump technique inside the wafer for the improvement in gettering capacity. For example, the manufacture approach of the epitaxial silicon semi-conductor wafer which the defective generating origin which produces a silicon single crystal thin film from a wafer substrate in a silicon single crystal thin film by heat-treating within the ambient atmosphere which contains hydrogen in front of vapor growth is extinguished to the wafer by which in thorin chic gettering (IG) processing was carried out, and carries out thin film formation with vapor growth after that is proposed by JP,5-283350,A. Moreover, the silicon epitaxial wafer in which the BMD consistency coordination area was formed to the interior of a wafer is proposed IG down stream processing for giving the IG effectiveness to JP,8-250506,A using the wafer formed from the single-crystal-silicon ingot, the temperature maintenance process for controlling an oxygen sludge (BMD) consistency, and by performing epitaxial down stream processing on a wafer front face. Furthermore, when it has a defect-free (DZ) layer by specific heat treatment in JP,9-199507,A at a surface, it is SiO<sub>2</sub> from an LSI formation field to the depths. When carrying out specified quantity content of the sludge and carrying out epitaxial membrane formation at a back process, it is SiO<sub>2</sub> to homogeneity more nearly mostly than a front face. By carrying out specified quantity content of the sludge, the semi-conductor substrate which IG capacity of contamination heavy metal was high, reduced the curvature of a substrate, and was excellent in reinforcement is proposed. Although various heat treatments have been performed, since top priority is given to securing the IG effectiveness of the wafer itself with these techniques, A crystal defect harmful to the epitaxial growth which exists in the substrate wafer front face and near a surface cannot be eliminated completely. [ which deposit an epitaxial layer ] While the defect remained or having the problem in which a defect carries out induction by the device production process in the epitaxial layer, there was a trouble that a heat treatment process is complicated, and reduced productivity sharply and it carried out the increment in a manufacturing cost. Moreover, in JP,8-162406,A, it is 5x10<sup>6</sup> beforehand. An individual / cm<sup>3</sup> Epitaxial growth is carried out to a substrate silicon wafer including the above high-density crystal defect, and the wafer which equipped the interior of a substrate with the gettering layer is proposed. However, also in this approach, since priority was given to the IG effectiveness, a crystal defect harmful to the epitaxial growth which exists a substrate wafer front face and near a surface could not be eliminated completely, the defect remained and the problem a defect carries out [ the problem ] induction by the device production process was in the epitaxial layer.

[0005] The technique (JP,8-12493,A, JP,8-91983,A, JP,9-227289,A) in which control of the technique (JP,2-267195,A) which considers as the technique of disappearing or reducing COP on the front face of a silicon wafer, on the other hand, and makes the following the rate of crystal growth in the case of single crystal growth by 0.8mm/, and the cooling behavior of a single crystal, especially a single crystal control the time amount which passes through an about 1200 to 1000 degrees C temperature requirement is proposed. By decreasing the amount of installation in the crystal growth interface of the hole mold point defect (vacancy) which is the element which makes a hole defect from crystal training at a low-growth rate, and making the cooling rate of a single crystal loose Although generating of the hole mold point defect [ \*\*\*\*\* ] (vacancy) generated during cooling is suppressed, while causing the fall of the productivity by the fall of a growth rate, by this approach, there was a problem of generating the crystal defect of another kind, such as a dislocation loop. Moreover, with the control technique of crystal cooling conditions, although there is no problem in the point of productivity, reduction of a COP consistency is 105 in general. An individual / cm<sup>3</sup> Extent is a limitation and it is reduction of further

COP,  $5 \times 10^4$  [ for example, ]. An individual /  $\text{cm}^3$  It was difficult to attain the following consistencies. [0006] Moreover, the technique of decreasing and extinguishing COP on the front face of a substrate is also proposed by heat treatment after slicing and grinding from a single crystal ingot and considering as a wafer besides the technique of reducing COP at the time of single crystal growth. For example, by using the technique heat-treated in a hydrogen ambient atmosphere, i.e., a hydrogen ambient atmosphere, in JP,59-20264,A, COP on the front face of the maximum is extinguished, and it is the COP consistency of less than 0.5 micrometers from a front face  $10^4$  An individual /  $\text{cm}^3$  Considering as the following is indicated. However, even if it deposits an epitaxial layer on such a silicon wafer in our experiment, the defective control of less than 0.5 micrometers of the depth from a front face is inadequate. A crystal defect remains near the interface of an epitaxial layer, an epitaxial layer, and a silicon wafer, or It turned out that it has the problem referred to as generating a crystal defect, or extinguishing the crystal defect inside a silicon wafer superfluously by hydrogen heat treatment conversely, and reducing the IG property of a wafer remarkably into an epitaxial layer by heat treatment of a device production process.

[0007] About adding nitrogen to a silicon single crystal, JP,60-251190,A etc. is known about the addition approach. The increment in crystal reinforcement is known by JP,57-17497,A etc. as nitrogen addition effectiveness in a float zone (FZ) single crystal. Moreover, it is indicated by JP,5-294780,A that act or combine with mutual [ the mutual nitrogen added in silicon is a kind of a point defect / the hole and mutual ], control generation of the cluster (hole defect) in which the hole participated, and generating of the etch pit where the hole defect is considered to be the cause is controlled. however K.Kakumoto and et al.; Proceedings of The As shown in 2 nd International Symposium on Advanced Science and Technology of Silicon Materials and p.437-442 (1996) If the defect which nitrogen and a hole combined increases, during a silicon crystal, will become generating or the recombination center of an electron or an electron hole, and an electrical property will be changed. Furthermore, in the silicon substrate containing oxygen, nitrogen forms oxygen and a compound defect, resistance of a substrate is changed or it is known that a stacking fault will further become easy to be made by heat treatment.

[0008]

[Problem(s) to be Solved by the Invention] Thus, with the conventional technique, it is requested that the semi-conductor substrate of high quality which there are merits and demerits, and eliminates the crystal defect near the front face of a silicon substrate as a semi-conductor substrate which can reply to the demand characteristics accompanying much more detailed-izing of a semiconductor device in recent years and high integration, and has sufficient IG capacity inside a substrate is supplied by low cost.

[0009] Then, this invention solves the trouble in the conventional technique mentioned above, and aims at offering the epitaxial silicon semi-conductor substrate [ that it is quality and low cost ] with which it was very few with a substrate and IG property also gave further defective generating of the field near the interface of an epitaxial layer and an epitaxial layer, and a substrate wafer, and its manufacture approach.

[0010]

[Means for Solving the Problem] About the defect generated with an epitaxial silicon semi-conductor substrate, a device production process, an epitaxial growth process, and as a result of going back even to a silicon wafer production process further and considering theoretical consideration wholeheartedly in an experiment list, new knowledge is acquired and this invention is completed. Namely, this invention (1) A nitrogen content is  $1.0 \times 10^{13}$  atoms/ $\text{cm}^3$ . Above a three or less  $1.0 \times 10^{16}$  atoms/ $\text{cm}^3$  silicon wafer as a substrate wafer on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. The silicon semi-conductor substrate characterized by coming to deposit a silicon single crystal layer by the epitaxial method, (2) an oxygen content --  $1.0 \times 10^{17}$  atoms/ $\text{cm}^3$  It is the silicon semi-conductor substrate which comes to deposit a silicon single crystal layer by law. epitaxial [ silicon wafer / above / on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. ] in a substrate wafer -- In the field from the interface of the silicon single crystal layer deposited by said substrate wafer and epitaxial method at least to a depth of 1 micrometer The consistency of a crystal defect 0.1 micrometers or more is  $5 \times 10^4$  by diameter conversion. The silicon semi-conductor substrate characterized by being below an

individual / cm<sup>3</sup> </SUP>, (3) an oxygen content -- 1.0x10<sup>17</sup> atoms/cm<sup>3</sup> It is the silicon semi-conductor substrate which comes to deposit a silicon single crystal layer by law. above epitaxial [ silicon wafer / on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. ] in a substrate wafer -- In the field from the interface of the silicon single crystal layer deposited by said substrate wafer and epitaxial method at least to a depth of 1 micrometer The consistency of a crystal defect 20nm or more is 5x10<sup>5</sup> by diameter conversion. The silicon semi-conductor substrate characterized by being three or less an individual / cm, (4) In the field from the interface of the silicon single crystal layer deposited by said substrate wafer and epitaxial method at least to a depth of 1 micrometer Furthermore, the consistency of a crystal defect 0.1 micrometers or more is 5x10<sup>4</sup> by diameter conversion. An individual / cm<sup>3</sup> The silicon semi-conductor substrate given in (3) which is the following, (5) Said substrate wafer is nitrogen further 1.0x10<sup>13</sup> atoms/cm<sup>3</sup> It is 1.0x10<sup>16</sup> atoms/cm<sup>3</sup> above. (2) which it comes to contain below A silicon semi-conductor substrate given in - (4), (6) It sets focusing on the thickness of said substrate wafer, and the crystal defect consistency of 20nm or more is 1x10<sup>8</sup> by diameter conversion. An individual / cm<sup>3</sup> (1) which it is above A silicon semi-conductor substrate given in - (5), (7) 1.0x10<sup>16</sup> atoms/cm<sup>3</sup> It is 1.5x10<sup>19</sup> atoms/cm<sup>3</sup> above. The silicon wafer obtained from the silicon single crystal raised using the silicon melt containing the following nitrogen as a substrate wafer on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. The manufacture approach of the silicon semi-conductor substrate characterized by making a silicon single crystal layer deposit by the epitaxial method (8) With the Czochralski method or the magnetic field impression Czochralski method The silicon wafer which obtained the 800-degree C crystal temperature requirement from the silicon single crystal raised with the above cooling rate by 2.0-degree-C/as a substrate wafer from coagulation temperature on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. The manufacture approach of the silicon semi-conductor substrate characterized by depositing a silicon single crystal layer by the epitaxial method, (9) The silicon wafer obtained from the silicon single crystal which raised the 800 degrees C - 400 degrees C crystal temperature requirement with the above cooling rate by 1.0-degree-C/with the Czochralski method or the magnetic field impression Czochralski method as a substrate wafer on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. The manufacture approach of the silicon semi-conductor substrate characterized by depositing a silicon single crystal layer by the epitaxial method, (10) It is the silicon single crystal raised with the Czochralski method or the magnetic field impression Czochralski method. The silicon single crystal under crystal-pulling training raises a 800-degree C crystal temperature requirement with the above cooling rate by 2.0-degree-C/from coagulation temperature. The silicon wafer which obtained the 800 degrees C - 400 degrees C crystal temperature requirement from the silicon single crystal raised with the above cooling rate by 1.0-degree-C/successively as a substrate wafer on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. The manufacture approach of the silicon semi-conductor substrate characterized by depositing a silicon single crystal layer by the epitaxial method, (11) 1.0x10<sup>16</sup> atoms/cm<sup>3</sup> It is 1.5x10<sup>19</sup> atoms/cm<sup>3</sup> above. The manufacture approach of a silicon semi-conductor substrate given in (8) - (10) which raises a silicon single crystal using the silicon melt containing the following nitrogen, (12) As a substrate wafer what carried out heat treatment for the silicon wafer obtained from the silicon single crystal raised with the Czochralski method or the magnetic field impression Czochralski method 5 minutes or more at 1000-degree-C or more temperature of 1300 degrees C or less on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. epitaxial -- the manufacture approach of a silicon semi-conductor substrate given in (7) - (11) which deposits a silicon single crystal layer by law -- it comes out.

[0011]

[Embodiment of the Invention] This invention is explained below at a detail.

[0012] first, the 1st invention -- a nitrogen content -- 1.0x10<sup>13</sup> atoms/cm<sup>3</sup> the above -- 1.0x10<sup>16</sup> atoms/cm<sup>3</sup> epitaxial [ silicon wafers / following / on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. ] in a substrate wafer -- it is the silicon semi-conductor substrate which comes to deposit a silicon single crystal layer by law.

[0013] In order to control generating of the minute pit on the front face of a wafer, without causing defective generating of change of the electrical characteristics of a silicon wafer, the stacking fault at the

time of device heat treatment, etc., it is a nitrogen content in a silicon wafer  $1.0 \times 10^{13}$  atoms/cm<sup>3</sup>. It is  $1.0 \times 10^{16}$  atoms/cm<sup>3</sup> above. It is necessary to consider as the following. And while controlling generating of the inside of an epitaxial layer, the minute defect near the interface of an epitaxial layer and this substrate wafer, or a hole defect by depositing a silicon single crystal layer for such a silicon wafer by the epitaxial method as a substrate wafer on the surface of *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne., it becomes the silicon semi-conductor substrate which has a moderate crystal defect and reinforces gettering capacity inside a wafer. The nitrogen content in a silicon wafer is  $1.0 \times 10^{13}$  atoms/cm<sup>3</sup>. In the following, generating of the minute pit on the front face of a wafer cannot be controlled, but it is  $1.0 \times 10^{16}$  atoms/cm<sup>3</sup>. In \*\*, electrical characteristics, such as carrier life time and resistivity, change, or a stacking fault occurs, and even if it deposits an epitaxial layer, a good silicon semi-conductor substrate cannot be obtained. In addition, the nitrogen content in a wafer can be measured by using infrared absorption or SIMS (Secondary Ion Mass Spectroscopy: ion [ secondary ] mass spectroscope). the measurement by infrared absorption -- Applied Physics Letter No. 47 and p -- technique given in 488 and 1985 -- following -- the absorption peak in the wave number of 963cm<sup>-1</sup> to conversion factor  $1.83 \times 10^{17}$  atoms/cm<sup>2</sup>. A quantum can be carried out by using.

[0014] For the 2nd invention, an oxygen content is  $1.0 \times 10^{17}$  atoms/cm<sup>3</sup>. It is the silicon semi-conductor substrate which comes to deposit the above silicon wafer a silicon single crystal layer by the epitaxial method as a substrate wafer on the surface of *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. It sets to the field from the interface of the silicon single crystal layer deposited by said substrate wafer and epitaxial method at least to a depth of 1 micrometer, and the consistency of a crystal defect 0.1 micrometers or more is  $5 \times 10^4$  by diameter conversion. An individual / cm<sup>3</sup> It is the silicon semi-conductor substrate characterized by being the following.

[0015] It is an oxygen density  $1.0 \times 10^{17}$  atoms/cm<sup>3</sup>. The manufacture approach of the silicon substrate considered as the above can be manufactured by the CZ process and magnetic field impression CZ process which usually support raw material silicon melt by the quartz crucible, and carry out crystal growth. That is, oxygen dissolves into silicon melt from the quartz crucible which is supporting raw material silicon melt, and it is incorporated during a crystal in the case of single crystal coagulation. A desired oxygen density can be adjusted by the crucible rotational frequency, melt heating conditions and a controlled atmosphere flow rate, raising furnace internal pressure, or magnetic field impression reinforcement. The oxygen content of a silicon wafer is  $1.0 \times 10^{17}$  atoms/cm<sup>3</sup>. In the following, since IG capacity inside the mechanical strength of a silicon wafer or a wafer declines, an oxygen content is required for a three or more  $1.0 \times 10^{17}$  atoms/cm silicon wafer. By the way, if oxygen is contained in a silicon wafer, various crystal defects will become that induction is easy to be carried out. Then, when the effect of the crystal defect in the silicon wafer exerted on the quality of an epitaxial layer was investigated, it found out that a crystal defect's in field from front face of silicon wafer used as substrate which epitaxial layer's deposits to depth of 1 micrometer existence gestalt was important. If a crystal defect 0.1 micrometers or more exists so much by diameter conversion, it will remain, even if it passes through an epitaxial deposition process or the heat treatment process of a device production process, and the origin which generates a defect in an epitaxial layer will be easy to come. For size, although a crystal defect 0.1 micrometers or more is mainly a hole defect, with the conventional silicon wafer, this hole defect is  $10^6$ . An individual / cm<sup>3</sup> Extent or more than it existed. However, the consistency of the crystal defect 0.1 micrometers or more in said field is  $5 \times 10^4$ . An individual / cm<sup>3</sup> If it is the following, by the heat treatment process as pre-heat treatment in an epitaxial deposition process, it can contract, and diffusion disappearance is carried out, the above-mentioned defect can be defanged, and the silicon semi-conductor substrate which is not made to generate a defect in an epitaxial layer can be obtained. The crystal defect consistency of 0.1 micrometers or more is  $5 \times 10^4$  in said field. An individual / cm<sup>3</sup> In \*\*, a defect is generated in an epitaxial layer, the serious effect for an oxide-film dielectric-breakdown property, an isolation property, etc. is done [ when especially epitaxial layers are about 1 micrometer and a thin film, it becomes the cause of the poor pattern in a device production process or ], and problems, such as a yield fall, are produced.

[0016] For the 3rd invention, an oxygen content is  $1.0 \times 10^{17}$  atoms/cm<sup>3</sup>. It is the silicon semi-conductor

substrate which comes to deposit the above silicon wafer a silicon single crystal layer by the epitaxial method as a substrate wafer on the surface of *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. It sets to the field from the interface of the silicon single crystal layer deposited by said substrate wafer and epitaxial method at least to a depth of 1 micrometer, and the consistency of a crystal defect 20nm or more is  $5 \times 10^5$  by diameter conversion. An individual / cm<sup>3</sup> It is the silicon semi-conductor substrate characterized by being the following.

[0017] As for a crystal defect 20nm or more, a minute oxygen sludge is also contained besides a thing with the above-mentioned minute hole defect by diameter conversion. If such a defect exists in a silicon wafer front face and a surface field in large quantities, it will become the cause that this crystal defect spreads, and is imprinted in an epitaxial layer from the silicon wafer used as a substrate wafer at the time of epitaxial growth, or induction of the new defect is carried out into an epitaxial layer with this crystal defect as the starting point. With the silicon wafer used as a conventional substrate wafer, such a minute defect is 107. An individual / cm<sup>3</sup> Although extent or more than it existed In the field from the silicon wafer front face used as a substrate wafer at least to a depth of 1 micrometer The consistency of a crystal defect 20nm or more is  $5 \times 10^5$  by diameter conversion. An individual / cm<sup>3</sup> If it is the following By the heat treatment process as pretreatment in an epitaxial deposition process, decomposition disappearance is carried out, the above-mentioned defect can be defanged, and the silicon semi-conductor substrate which does not carry out induction of the new defect into an epitaxial layer can be obtained. said field -- set -- diameter conversion -- the consistency of a crystal defect 20nm or more --  $5 \times 10^5$  an individual / cm<sup>3</sup> a crystal defect new at the time of heat treatment [ in / the atomic hole and the oxygen impurity which be generate as a result of decomposition carry out diffusion survival into an epitaxial layer, therefore / a device production process ] since there be too many amounts of defects decompose by heat treatment at \*\* -- the inside of an epitaxial layer -- induction -- it form and become the cause of a fall of the device manufacture yield.

[0018] furthermore, the 4th invention which combined the 2nd invention and invention of the 3rd -- that is An oxygen content is  $1.0 \times 10^{17}$  atoms/cm<sup>3</sup>. It is the silicon semi-conductor substrate which comes to deposit the above silicon wafer a silicon single crystal layer by the epitaxial method as a substrate wafer on the surface of *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. It sets to the field from the interface of the silicon single crystal layer deposited by said substrate wafer and epitaxial method at least to a depth of 1 micrometer, and the consistency of a crystal defect 0.1 micrometers or more is  $5 \times 10^4$  by diameter conversion. An individual / cm<sup>3</sup> Below And the consistency of a crystal defect 20nm or more is  $5 \times 10^5$  by diameter conversion. An individual / cm<sup>3</sup> By considering as the semi-conductor substrate characterized by being the following, it can consider as the silicon semi-conductor substrate which has the defect-free epitaxial layer to which generating or induction of a defect do not happen.

[0019] Moreover, silicon \*\*\*\* used as a substrate wafer on which the 5th invention deposits a single crystal layer by the epitaxial method of the 2-4th invention is nitrogen further to inside  $1.0 \times 10^{13}$  atoms/cm<sup>3</sup> It is  $1.0 \times 10^{16}$  atoms/cm<sup>3</sup> above. It is the silicon semi-conductor substrate which it comes to contain below.

[0020] As the 1st invention explained, by carrying out specified quantity content, the nitrogen in a silicon single crystal has the operation which changes the point defect concentration and point defect condensation behavior at the time of single crystal growth, and discovers the effectiveness and the improvement effectiveness of substrate reinforcement which control the hole defective formation in a single crystal. Therefore, the silicon semi-conductor substrate which makes easy to reduce the various defects in the substrate silicon wafer mentioned above, and has a more perfect defect-free epitaxial layer by using such a nitrogen content silicon wafer as a substrate wafer which deposits a single crystal by the epitaxial method can be offered.

[0021] Furthermore, for the 6th invention, it sets to the thickness core field of the substrate silicon wafer in the 1-5th invention, and the consistency of a crystal defect 20nm or more is  $3.1 \times 10^8$  pieces/cm by diameter conversion. It is the silicon semi-conductor substrate which it is above. In addition, the thickness core field of this substrate silicon wafer is what is deeper than 1 micrometer that points out the field inside 20 micrometers or more preferably from this substrate wafer front face. It is a crystal defect

20nm or more by diameter conversion to this substrate wafer contrant region 1x108 An individual / cm<sup>3</sup> By making it exist above, effective gettering capacity can be effectively given to the increment in the process contamination accompanying high integration of a device, and the good silicon semi-conductor substrate of the device manufacture yield can be offered.

[0022] In addition, the above-mentioned 1st - the 6th invention are materialized regardless of the value of the specific resistance of a silicon wafer, and can demonstrate the above-mentioned request by fulfilling each condition as shown above.

[0023] Although the manufacture approach by which the substrate with which it is satisfied of above-mentioned conditions with a CZ process or a magnetic field impression CZ process is obtained as the manufacture approach of the above silicon semi-conductor substrates may be used and it does not limit especially, if it is the manufacture approach described below, the silicon semi-conductor substrate of this invention can be efficiently manufactured with sufficient productivity.

[0024] the 7th invention -- 1.0x10<sup>16</sup> atoms/cm<sup>3</sup> the above -- 1.5x10<sup>19</sup> atoms/cm<sup>3</sup> epitaxial [ silicon wafer / which was obtained from the silicon single crystal raised by the CZ process or the magnetic field impression CZ process using the silicon melt containing the following nitrogen / on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. ] in a substrate wafer -- it is the manufacture approach of the silicon semi-conductor substrate which deposits a silicon single crystal layer by law. It sets to operation of this approach and is 1.0x10<sup>16</sup> atoms/cm<sup>3</sup>. It is 1.5x10<sup>19</sup> atoms/cm<sup>3</sup> above. The silicon single crystal ingot raised by the CZ process or the magnetic field impression CZ process using the silicon melt containing the following nitrogen is sliced, and the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. is made to slice epitaxial growth of the silicon single crystal layer for the silicon wafer obtained by carrying out mirror polishing to a substrate wafer. There is an approach addition pours the nitrogen in the case of single crystal growth of silicon for nitrogen gas during the raw material dissolution, or a method of making the silicon wafer on which the nitride was made to deposit with a CVD method etc. mix during the raw material dissolution. the segregation coefficient of the nitrogen incorporated during the crystal after coagulation -- reference W.Zulehner and D. Huber; As shown in Crystals 8-Growth, Properties, and Applications-, and p.28 (Springer-Verlag, New York, 1982), it is 7x10<sup>-4</sup>. It is nitrogen by carrying out crystal training using the melt of the above-mentioned nitrogen concentration 5.0x10<sup>13</sup> atoms/cm<sup>3</sup> It is 1.0x10<sup>16</sup> atoms/cm<sup>3</sup> above. Manufacture of the silicon wafer contained below is attained. Moreover, although vapor growth equipment performs, an epitaxial grown method carries out a temperature up before vapor growth to a temperature region predetermined (generally constant temperature within the limits of 900 to 1200 degrees C) within a hydrogen gas ambient atmosphere, and after it performs etching by the gas which contains a hydrogen chloride succeedingly several minutes and performs surface contamination removal and activation on the front face of a wafer, it usually grows up an epitaxial thin film into a wafer front face using silane system gas.

[0025] It is nitrogen 1.0x10<sup>13</sup> atoms/cm<sup>3</sup> It is 1.0x10<sup>16</sup> atoms/cm<sup>3</sup> above. Nitrogen changes the point defect concentration at the time of crystal training, and the condensation behavior of a point defect, and the silicon crystal grown up so that it might be made to contain by the following concentration does not make the hole defect beyond about 0.1 micrometers and it represented by COP during a crystal form as the 1st invention explained it. Usually, at the time of crystal growth, although a hole defect is comparatively formed at an elevated temperature, crystal temperature will reduction-ize this hole defect by the thing of the range which is 1150 degrees C - about 1050 degrees C for which nitrogen controls condensation of an atomic hole, if specified quantity content of the nitrogen is carried out. On the other hand, nitrogen promotes the nucleation of the oxygen sludge in a 1000 degrees C - 450 degrees C low-temperature field, and generates the oxygen sludge which it was detailed to high density and it was made to decentralize. Especially the gestalt of the minute oxygen sludge in the silicon wafer of nitrogen content forms an unstable sludge at an elevated temperature, and what exists in a silicon wafer surface field according to the out-diffusion effectiveness of oxygen in hydrogen down stream processing and the epitaxial single crystal deposition process which are a heat treatment process front [ in the above-mentioned epitaxial growth process ] is decomposed and contracted easily. Consequently, for size, a minute defect 20nm or more is 5x10<sup>5</sup> by diameter conversion. An individual / cm<sup>3</sup> The field which is

the following forms easily in the field to a depth of 1 micrometer at least from the substrate silicon wafer front face not only an epitaxial layer but before epitaxial layer deposition. On the other hand, the detailed oxygen sludge inside a substrate differs from what exists near the substrate front face. Oxygen carries out out-diffusion, even if it passes through an epitaxial layer deposition process, without carrying out decomposition disappearance, dissolution disappearance is not carried out completely, but it is  $1 \times 10^8$ . An individual / cm<sup>3</sup> It remains above. It grows up in heat treatment of a device production process, induction of the crystal defect effective in IG operation is carried out, and it becomes possible to manufacture the silicon semi-conductor substrate which reinforced the IG effectiveness notably compared with the former.

[0026] The 8th invention is the approach of using the silicon wafer which cooled the silicon single crystal with the above cooling rate by 2.0-degree-C/from coagulation temperature during silicon single crystal raising training by the CZ process or the magnetic field impression CZ process, and manufactured the 800-degree C crystal temperature requirement as a substrate wafer for epitaxial single crystal growth.

[0027] Making a 800-degree C temperature field quench above by 2.0-degree-C/from coagulation temperature during silicon single crystal raising growth controls condensation of a point defect, and it makes a hole defect reduction-size. Moreover, the nucleation of the oxygen sludge in the temperature field concerned controls, namely, generating of a stable oxygen sludge is controlled at an elevated temperature. Consequently, while size makes a hole defect 0.1 micrometers or more reduction-size by diameter conversion in an epitaxial growth process at a substrate silicon wafer surface field (namely, interface field of an epitaxial layer and a substrate wafer), it is possible for size to also make a minute defect 20nm or more reduction-size.

[0028] Moreover, the 9th invention is the approach of using the silicon wafer which cooled the silicon single crystal with the above cooling rate by 1.0-degree-C/during silicon single crystal raising training by the CZ process or the magnetic field impression CZ process, and manufactured the 800 to 400 degrees C crystal temperature requirement as a substrate wafer for epitaxial single crystal growth.

[0029] It prevents that internal oxidation of the hole defect is carried out about a hole defect, and making a 800 to 400 degrees C temperature field quench above by 1.0-degree-C/during silicon single crystal raising growth changes to a stable oxide, consequently a hole defect is destabilized to heat treatment. On the other hand, although a nucleation rate is controlled, an oxygen sludge makes nuclear density increase and promotes detailed and decentralization. Thus, by growing epitaxially as a substrate wafer using the manufactured silicon wafer It sets at the high-temperature-processing process of an epitaxial growth process, and is a silicon wafer surface field (). Namely, while size makes the interface field of an epitaxial layer and a substrate wafer reduction-size a hole defect 0.1 micrometers or more by diameter conversion, size also makes a minute defect 20nm or more reduction-size. The silicon semi-conductor substrate which, on the other hand, forms in the interior of a silicon substrate the high-density minute defect which reinforces IG capacity can be manufactured.

[0030] The 10th invention is what combined the effectiveness of both quenching of a 800-degree C temperature field, and 800 to 400 degrees C quenching from coagulation temperature. In a substrate silicon wafer surface field (namely, interface field of an epitaxial layer and a substrate wafer), detailedizing and the destabilization of a hole defect or an oxygen sludge will be done further, and the reduction effectiveness will be shown in an epitaxial process. On the other hand The high-density crystal defect which reinforces the IG effectiveness in a device production process is made generated in the interior of a substrate silicon wafer. Heightening the cooling effect for a single-crystal-silicon ingot during raising growth has the effectiveness that will heighten the refrigeration capacity in a coagulation interface, and usually increases the rate of crystal growth, and crystal productivity improves, and the effectiveness made to bring about and low-cost-size.

[0031] The 11th invention is the manufacture approach of the substrate silicon wafer which combined the technique changed the cooling conditions of the silicon crystal under nitrogen addition and raising growth, and it is the epitaxial silicon substrate manufacture approach of bringing about the effectiveness make the crystal defect consistency inside a substrate silicon wafer increase further while making it easy

to disappear the crystal defect of the substrate silicon-wafer front face in front of epitaxial growth more notably, according to the effectiveness of nitrogen addition, and the synergistic effect of the crystal quenching effectiveness under raising.

[0032] The 12th invention is the approach of performing elevated-temperature heat treatment before epitaxial growth to the nitrogen addition substrate wafer described above, nitrogen and an oxygenation substrate wafer, the substrate wafer to which the crystal cooling conditions in crystal pulling were changed further, and the substrate wafer obtained with those combination in order to promote defect-free-ization of a substrate wafer front face more completely, and making remarkable the difference of the crystal defect consistency of a front face and the interior. 1100 degrees C or more 1200 degrees C or less 1000 degrees C or more 1300 degrees C or less are desirably suitable for heat treatment temperature. If temperature is low, the out-diffusion of oxygen or a hole will take great time amount, if temperature is too high, whenever [ under crystal / thermal equilibrium oxygen dissolution ], or whenever [ thermal equilibrium hole dissolution ] will go up, and the out-diffusion of oxygen or a hole will stop being able to occur easily. Moreover, above 1150 degrees C, the more it becomes an elevated temperature, the more the problem of the field dry area of a substrate wafer front face arises. Moreover, generally, in case a heat treating furnace is worked at an elevated temperature, it is desirable that heat treatment temperature can be made low in order to decrease the danger since it becomes easy to produce contamination of an unexpected furnace body. Therefore, it is desirable to heat-treat at the lowest possible temperature in the above-mentioned temperature requirement, taking into consideration the allowed time of the heat treatment time amount from the depth and the economical viewpoint of a defect-free layer required for the substrate wafer surface field in front of epitaxial growth.

[0033] If based on our examination result, to the epitaxial substrate silicon wafer for single crystal layer growth by law by the 7-11th invention, a nearly completely defect-free field can form in the substrate silicon wafer surface section by heat-treating 5 minutes or more on the above-mentioned temperature conditions. As the heat treatment approach, although an oxidizing atmosphere is sufficient, in order to eliminate formation of an oxide film unnecessary for epitaxial layer deposition, it is desirable to heat-treat in a non-oxidizing gas ambient atmosphere.

[0034] As mentioned above, the crystal which nitrogen was controlled [ crystal ] moderately and made it contain in the case of crystal training, The crystal which made oxygen add furthermore, or the crystal which controlled the crystal cooling conditions in the case of crystal training, And by manufacturing an epitaxial silicon single crystal substrate, using the crystal which combined them, and the crystal which performed moderate heat treatment before epitaxial growth to said each crystal as a substrate wafer for epitaxial It is not necessary to perform multistage or complicated heat treatment before simpler than before and easy, i.e., epitaxial layer deposition which is known conventionally. By low cost There is no defective generating in the inside of an epitaxial layer, and an epitaxial layer / substrate interface, it can improve in quality more than before, and the silicon semi-conductor substrate which fully has gettering capacity can be obtained inside a substrate.

[0035] The conceptual diagram of the silicon semi-conductor substrate which deposited the epitaxial layer is shown in the substrate silicon wafer of nitrogen content of this invention at drawing 1 . In drawing 1 , whenever 1d [ of IG layers ], and defective dense, the epitaxial layer 3 has accumulated through an epitaxial layer / substrate wafer interface 2 on nitrogen addition substrate silicon wafer 1a which consists of change field 1c and defect-free field 1b gradually. Moreover, the conceptual diagram of the silicon semi-conductor substrate which deposited the epitaxial layer for the silicon wafer (nitrogen additive-free) manufactured on specific cooling conditions at the time of crystal pulling of this invention as the substrate wafer on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. is shown in drawing 2 . In drawing 2 , whenever 1d [ of IG layers ], and defective dense, the epitaxial layer 3 has accumulated through an epitaxial layer / substrate wafer interface 2 on the substrate silicon wafer 1 which consists of change field 1c and defect-free field 1b gradually.

[0036]

[Example] This invention is not restricted by the publication of these examples although the example of this invention is given and explained below.

[0037] The manufacture approach which is common in the specification of the pull-up crystal in this invention is described. The diameter of a crystal is an object (diameter of 205mm) for 8 inches, a conduction type is P type (boron dope), and resistivity is 10-ohmcm. In addition, separate [ the above-mentioned crystal ], the diameter of a crystal is an object (diameter of 205mm) for 8 inches, and the conduction type also prepared the crystal P type (boron dope) and whose resistivity are 0.02-ohmcm. An oxygen density adjusts magnetic field impression conditions, crucible rotational speed, etc., and is 9.0 - 10.0x10<sup>17</sup> atoms/cm<sup>3</sup> as 7.0 - 8.0x10<sup>17</sup> atoms/cm<sup>3</sup> and a hyperoxia field as 2.0 - 5.0x10<sup>17</sup> atoms/cm<sup>3</sup> and an inside oxygen field as a hypoxia field. Three kinds of concentration (an oxygen density is measured by infrared absorption spectrometry, and computes concentration using the oxygen density conversion factor by Japan Electronic Industry Development Association) were manufactured. For carbon concentration, any crystal is 1.0x10<sup>16</sup> atoms/cm<sup>3</sup>. It is the following (it measures by infrared absorption spectrometry and concentration is computed using the carbon concentration conversion factor by Japan Electronic Industry Development Association). Any crystal dissolved about 80kg raw material, and created the about 60kg single crystal ingot with a diameter of 205mm. Addition of nitrogen was performed by melting to coincidence the wafer which formed the nitride in the silicon substrate of a non dope with the CVD method (Chemical VaporDeposition: chemical-vapor-deposition method) at the time of the dissolution of a raw material. The nitrogen concentration in silicon melt calculated the nitrogen volume per sheet from the thickness of the nitride of the wafer with a nitride fused to coincidence as a raw material, and restricted and controlled the number of sheets of the wafer with a nitride which should be added to the nitrogen concentration of an aim. The nitrogen concentration in a silicon single crystal is 1.0x10<sup>14</sup> atoms/cm<sup>3</sup> which is the minimum limit of detection of SIMS although measured by SIMS. About the concentration of the following, it asked by count from the parallel segregation coefficient. In addition, the nitrogen concentration under crystal is 1.0x10<sup>14</sup> atoms/cm<sup>3</sup>. Although the nitrogen concentration in the wafer by SIMS was not able to carry out a quantum like the above-mentioned by the following concentration, in the case of three or more 1.0x10<sup>13</sup> atoms/cm nitrogen concentration, increase of a local nitrogen signal was accepted by SIMS on level twice [ more than ] the reinforcement of the background.

[0038] In manufacture of a silicon semi-conductor substrate, the wafer which carried out slice - mirror-polishing - washing finishing of the crystal which carried out raising training after cutting and cylindrical grinding was used as the substrate wafer, the epitaxial growth system was loaded, the temperature up was carried out to 1100 degrees C - 1150 degrees C within the hydrogen gas ambient atmosphere, etching by hydrogen chloride gas was performed several minutes after that, and 5 micrometers of epitaxial single crystal layers were grown up into the wafer front face at 1150 degrees C using trichlorosilan gas.

[0039] Evaluation of the silicon semi-conductor substrate obtained in this invention measured the number of COP defects of 0.1 micrometers or more which grinds 5 micrometers of substrate front faces, washes by SC-1 penetrant remover of ammonia:hydrogen-peroxide:water =1:1:5 about the silicon substrate surface which removed the epitaxial layer, and is detected at the laser particle counter LS 6000. Derivation of the volume density of a COP defect, i.e., a hole defect, repeated SC-1 washing and particle measurement 10 times, and computed them from the increment. Moreover, about evaluation of the depth direction, defect density with a size of 0.1 micrometers or more was measured by the diameter conversion which exist the silicon substrate which removed the epitaxial layer by polish in a location with a depth of 1 micrometer with an infrared laser interference method defective measuring device (OPP:Optical Precipitate Profiler). The defect 0.1 micrometers or more detected by OPP has the relation of 1:1 to the COP defect density obtained by the particle measuring method. Size investigated the consistency of the crystal defect inside the minute defect which exists in a depth of 1 micrometer under the interface of an epitaxial layer, an epitaxial layer, and a substrate wafer with the defective measuring device (infrared laser tomograph) by the infrared laser scattering-about method, and the substrate wafer which becomes the capacity index of the IG effectiveness further (thickness core) about the minute defect 20nm or more by diameter conversion. Moreover, 1x10<sup>10</sup> piece/cm<sup>3</sup> About the above minute defect, density measurement also of the transmission electron microscope was used and carried out.

Furthermore, as one of the heat treatment patterns of device manufacture of the silicon semi-conductor substrate after epitaxial growth, the 800-degree-C and heat treatment back of 4 hours was performed by nitrogen-gas-atmosphere mind, 1000 degrees C performed heat treatment of 16 hours in the oxygen ambient atmosphere, and the existence of formation of light etching which is an infrared laser tomograph and a defective detection selection etching reagent of the crystal defect in 3-micrometer deed epitaxial layer was evaluated after that. moreover, although the index of gettering capacity be made into bulk defect density, the basis be metal impurities, such as copper, nickel, and iron, intentionally to an epitaxial silicon semi-conductor substrate front face 1012 atoms/cm<sup>2</sup> 30mm<sup>2</sup> after carry out extent contamination and perform after that CMOS heat treatment which be standard heat treatment of a device production process the P/N junction component of size be created on the substrate, and it be based on the result of having investigate the variation of the intentionally contamination existence of P/N leakage current. The one of augend of the P/N leakage current after intentionally contamination where the defect density in bulk is higher has decreased, and the example of evaluation is understood that gettering capacity is high, as shown in drawing 7 .

[0040] The conclusion of the description of the manufacture conditions about the example of a comparison, a defective evaluation result, and a life time evaluation result is shown in Table 1 (a), (b) - Table 12 (a), and (b) at the example of this invention and Table 13 (a), (b) - Table 14 (a), and (b).

[0041] (Examples 1-6) In the examples 1-6, it pulled up and raised using CZ single-crystal-growth equipment as shown in drawing 3 on manufacture conditions as shown in Table (a) (a) 1 and 2. In addition, what requires Table 1 (a) for the resistivity cm crystal it is [ crystal ] of 10ohms, and the crystal whose table 2 (a) is the resistivity cm of 0.02ohms are started. Moreover, low concentration, two high-concentration kinds, and the oxygen density of nitrogen concentration level are three kinds of quantities into low.

[0042] This CZ process single-crystal-growth equipment is the usual equipments which are not installed, such as a crystal cooling system, and is the silicon single crystal raising furnace 4 in which it pulls up with the crucible 9 which consisted of quartz crucible 9a which holds silicon melting liquid M, and crucible 9made from graphite b which protects this, and the silicon crystal S is held. The lateral portion of a crucible 9 is installed so that a heat insulator 6 may enclose, in order to prevent that the heat from the heating heater 7 and the heating heater 7 escapes to the crystal-pulling furnace exterior. In order to compensate with a silicon melt oil level falling with reduction of the silicon melt in a crucible 9, it makes it go up and down a crucible 9, while the rotation fixture 8 connects with the driving gear which is not illustrated and this crucible 9 rotates at the rate of predetermined with this driving gear. In the raising furnace 4, it pulls up, a wire 10 is installed and the chuck 12 holding seed crystal 11 which hung is formed in the lower limit of this wire. The upper limit side of this raising wire 10 is rolled round by the wire loop wheel machine 5, and the raising equipment which came to pull up a silicon single crystal ingot is formed. And gas, such as Ar gas, is introduced into four in a raising furnace from the gas inlet 13 formed in the raising furnace 4, the inside of the raising furnace 4 is circulated, and it is discharged from the effluence-of-gas opening 14. Thus, it is for pulling up SiO, CO, etc. which are generated in four in a raising furnace used as the factor which checks silicon single crystal training, and making it discharge promptly outside a furnace to circulate gas. Although especially magnetic field impression equipment is not indicated, it can install magnetic field impression equipment around a pull-up furnace body, and can raise it also under magnetic field impression.

[0043] An example 1 is [ inside oxygen and the example 3 of hypoxia and an example 2 ] low nitrogen level on low nitrogen level in low nitrogen level, and the hyperoxia and an example 4 are [ inside oxygen and the example 6 of hypoxia and an example 5 ] the crystals of the hyperoxia on high nitrogen level in high nitrogen level with high nitrogen level. Coagulation temperature (Tm) -800 degree C of the crystal cooling rate was not necessarily above by 2.0-degree-C/in these all temperature requirements in the range for a part for 2.4-degree-C/to 0.8-degree-C/. Moreover, in the 800 degrees C - 400 degrees C crystal temperature field, it was not necessarily above by 1.0-degree-C/in these all temperature requirements in the range for a part for 1.2-degree-C/to 0.5-degree-C/. These crystals carried out 5-micrometer epitaxial growth of the single crystal layer to the substrate wafer after wafer processing on

the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne., and produced the silicon semi-conductor substrate. A crystal evaluation result is shown in Table (b) (b) 1 and 2. It sets to the field from the interface of the substrate silicon wafer before an epitaxial layer and epitaxial layer deposition to a depth of 1 micrometer, and, for the defective (hole defect) consistency of 0.1 micrometers or more, any crystal is [ the size of diameter conversion ] 1.0x103. An individual / cm<sup>3</sup> It decreases notably below and is 105 also about a minute defect 20nm or more by diameter conversion. An individual / cm<sup>3</sup> Compared with the former, it is reduction-sized on level. On the other hand, for minute defect density 20nm or more, in the thickness core field (bulk field) of this substrate wafer, any crystal is 1.0x109. An individual / cm<sup>3</sup> It is above and the remarkable increment in a defect effective in the IG effectiveness is seen. In addition, there was no crystal defect generating in the epitaxial layer after heat treatment evaluation, the defect-free layer under [ an epitaxial layer to ] a substrate silicon wafer front face (namely, interface of an epitaxial layer and a substrate wafer) was large, and there was no ejection to the epitaxial layer of the minute defect of an oxygen sludge etc. The cross-section structure conceptual diagram of the silicon semi-conductor substrate in this example is shown in drawing 1.

[0044] (Examples 7-9) Also about examples 7-9, it pulls up to Table 3 (a), (b), and Table 4 (a) and (b), and the manufacture conditions and evaluation result of training are shown. In addition, what requires Table 3 (a) and (b) for the resistivity cm crystal it is [ crystal ] of 10ohms, and the crystal Table 4 (a) and whose (b) are the resistivity cm of 0.02ohms are started. Using CZ single-crystal-growth equipment with which hypoxia and an example 8 installed the crystal cooling system 20 as inside oxygen and an example 9 been hyperoxia level and shown in drawing 4 in the raising furnace, the example 7 was pulled up and raised. In addition, although especially magnetic field impression equipment is not indicated, it can install magnetic field impression equipment around a pull-up furnace body, and can raise it also under magnetic field impression. Coagulation temperature (Tm) -800 degree C was the range for a part for 6.0-degree-C/to 2.0-degree-C/, and the crystal cooling rate was the above cooling rate by 2.0-degree-C/in all 800-degree C crystal temperature fields from Tm. The cooling rate of a 800 to 400 degrees C crystal temperature requirement was not necessarily the above cooling rate by 1.0-degree-C/in these all temperature requirements in a part for part [ for 2.0 degrees-C/- ], and 0.5-degree-C/. The raised silicon single crystal carried out 5-micrometer epitaxial growth of the single crystal layer to the substrate wafer after wafer processing on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne., and produced the silicon semi-conductor substrate. In the field from the interface of an epitaxial layer and a substrate silicon wafer to a depth of 1 micrometer For the defective (hole defect) consistency of 0.1 micrometers or more, any crystal is [ the size of diameter conversion ] 1.0x104. An individual / cm<sup>3</sup> It decreases below. It is 105 also about a minute defect 20nm or more by diameter conversion. An individual / cm<sup>3</sup> While being reduction-sized compared with the former on level For minute defect density 20nm or more, in the thickness core field (bulk field) of a substrate wafer, any crystal is 1.0x108. An individual / cm<sup>3</sup> It is above and the remarkable increment in a defect effective in the IG effectiveness is seen. There is no crystal defect generating in the epitaxial layer after heat treatment evaluation, the defect-free layer was fully formed from the epitaxial layer under the substrate silicon wafer front face (namely, interface of an epitaxial layer and a substrate wafer), and there was no ejection to the epitaxial layer of the minute defect of an oxygen sludge etc. The cross-section structure conceptual diagram of the silicon semi-conductor substrate in this example is shown in drawing 2.

[0045] (Examples 10-12) Also about examples 10-12, it pulls up to Table 5 (a), (b), and Table 6 (a) and (b), and the manufacture conditions and evaluation result of training are shown. In addition, what requires Table 5 (a) and (b) for the resistivity cm crystal it is [ crystal ] of 10ohms, and the crystal Table 6 (a) and whose (b) are the resistivity cm of 0.02ohms are started. Using CZ single-crystal-growth equipment with which hypoxia and an example 11 installed the crystal cooling system 30 as inside oxygen and an example 12 been hyperoxia level and shown in drawing 5 in the raising furnace, the example 10 was pulled up and raised. Although coagulation temperature (Tm) -800 degree C was the range for a part for 2.4-degree-C/to 1.5-degree-C/and the crystal cooling rate was not the above cooling rate by 2.0-degree-C/in these all temperature requirements, the range of 800 to 400 degrees C was range for a part for 1.6-degree-C/to 1.2-degree-C/, and was the above cooling rate by 1.0-degree-C/in all the

crystal temperature fields of this temperature requirement. The raised silicon single crystal carried out 5-micrometer epitaxial growth of the single crystal layer to the substrate wafer after wafer processing on the surface of *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne., and produced the silicon semi-conductor substrate. It sets to the field from the interface of an epitaxial layer and a substrate silicon wafer to a depth of 1 micrometer, and, for the defective (hole defect) consistency of 0.1 micrometers or more, any crystal is [ the size of diameter conversion ] 1.0x104. An individual / cm<sup>3</sup> It decreases below and is 105 also about a minute defect 20nm or more by diameter conversion. An individual / cm<sup>3</sup> Compared with the former, it is reduction-sized on level. In addition, there is no crystal defect generating in the epitaxial layer after heat treatment evaluation, the defect-free layer was fully formed from the epitaxial layer under the substrate silicon wafer front face (namely, interface of an epitaxial layer and a substrate wafer), and there was no ejection to the epitaxial layer of the minute defect of an oxygen sludge etc.

[0046] (Examples 13-15) Also about examples 13-15, it pulls up to Table 7 (a), (b), and Table 8 (a) and (b), and the manufacture conditions and evaluation result of training are shown. In addition, what requires Table 7 (a) and (b) for the resistivity cm crystal it is [ crystal ] of 10ohms, and the crystal Table 8 (a) and whose (b) are the resistivity cm of 0.02ohms are started. Using CZ single-crystal-growth equipment with which hypoxia and an example 14 installed the crystal cooling systems 20 and 30 as inside oxygen and an example 15 been hyperoxia level and shown in drawing 6 in the raising furnace, the example 13 was pulled up and raised. The range of 800 more to 400 degrees C was range for a part for 2.0-degree-C/to 1.2-degree-C/, from Tm, a crystal cooling rate is the range for a part for 6.5-degree-C/to 2.0-degree-C/, and it was [ coagulation temperature (Tm) -800 degree C was the above cooling rate by 2.0 degrees-C/in all 800-degree C crystal temperature fields, and ] the above cooling rate by 1.0-degree-C/further in all 800 to 400 degrees C crystal temperature fields. the raised silicon single crystal -- after wafer processing and substrate wafer \*\*\*\* -- the front face was made to carry out 5-micrometer epitaxial growth of the single crystal layer, and the silicon semi-conductor substrate was produced. The wide range crystal temperature field from a coagulation interface to 400 degrees C will be quenched over the whole, and the minute defect beyond size 20nm is also notably reduced also for the hole defect more than 0.1-micrometer size. The size of diameter conversion sets to the field from the interface of an epitaxial layer and a substrate silicon wafer to a depth of 1 micrometer, and all are [ the defective (hole defect) consistency of 0.1 micrometers or more ] 1.0x104. An individual / cm<sup>3</sup> It decreases below and is 5.0x104 also about a minute defect 20nm or more by diameter conversion. An individual / cm<sup>3</sup> Remarkable reduction is seen below. On the other hand, for minute defect density 20nm or more, in the thickness core field (bulk field) of a substrate wafer, any crystal is 1.0x108. An individual / cm<sup>3</sup> It is above and the remarkable increment in a defect effective in the IG effectiveness is seen. There is no crystal defect generating in the epitaxial layer after heat treatment evaluation, the defect-free layer was fully formed from the epitaxial layer under the substrate silicon wafer front face (namely, interface of an epitaxial layer and a substrate wafer), and there was no ejection to the epitaxial layer of the minute defect of an oxygen sludge etc.

[0047] (Examples 16-21) Also about examples 16-21, it pulls up to Table 9 (a), (b), and Table 10 (a) and (b), and the manufacture conditions and evaluation result of training are shown. In addition, what requires Table 9 (a) and (b) for the resistivity cm crystal it is [ crystal ] of 10ohms, and the crystal Table 10 (a) and whose (b) are the resistivity cm of 0.02ohms are started. In this example, it pulled up and raised like examples 7-9 into the crystal which added nitrogen using CZ single-crystal-growth equipment as shown at drawing 4. Coagulation temperature (Tm) -800 degree C was the range for a part for 6.0-degree-C/to 2.0-degree-C/, and the crystal cooling rate was the above cooling rate by 2.0-degree-C/in all 800-degree C crystal temperature fields from Tm. The cooling rate of a 800 to 400 degrees C crystal temperature requirement was not necessarily the above cooling rate by 1.0-degree-C/in these all temperature requirements in a part for part [ for 2.0 degrees-C/- ], and 0.5-degree-C/. The raised silicon single crystal carried out 5-micrometer epitaxial growth of the single crystal layer to the substrate wafer after wafer processing on the surface of *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne., and produced the silicon semi-conductor substrate. Nitrogen concentration and an oxygen density are the

same as that of the concentration described in the examples 1-6, an example 16 is [ inside oxygen and the example 18 of hypoxia and an example 17 ] low nitrogen level on low nitrogen level in low nitrogen level, and the hyperoxia and an example 19 are [ inside oxygen and the example 21 of hypoxia and an example 20 ] the crystals of the hyperoxia on high nitrogen level in high nitrogen level with high nitrogen level. It sets to the interface field of an epitaxial layer and a substrate silicon wafer, and, for the defective (hole defect) consistency of 0.1 micrometers or more, any crystal is [ the size of diameter conversion ]  $1.0 \times 10^2$ . An individual / cm<sup>3</sup> It is a zero level mostly in below, it also sets to the field from an interface to a depth of 1 micrometer further, and is  $1.0 \times 10^3$ . An individual / cm<sup>3</sup> It decreases notably below. It is  $10^4$  in the field from an interface and an interface to a depth of 1 micrometer also about a minute defect 20nm or more by diameter conversion. An individual / cm<sup>3</sup> While being reduction-ized notably below, for minute defect density 20nm or more, in the thickness core field (bulk field) of a substrate wafer, any crystal is  $3.10 \times 10^{10}$  pieces/cm. Extent existence is recognized and the remarkable increment in a defect effective in the IG effectiveness is seen. In addition, there was no crystal defect generating in the epitaxial layer after heat treatment evaluation, the defect-free layer was large under [ from an epitaxial layer ] the substrate silicon wafer front face (namely, interface of an epitaxial layer and a substrate wafer), and there was no ejection to the epitaxial layer of the minute defect of an oxygen sludge etc.

[0048] (Examples 22-27) Also about examples 22-27, it pulls up to Table 9 (a), (b), and Table 10 (a) and (b), and the manufacture conditions and evaluation result of training are shown. In addition, what requires Table 9 (a) and (b) for the resistivity cm crystal it is [ crystal ] of 10ohms, and the crystal Table 10 (a) and whose (b) are the resistivity cm of 0.02ohms are started. In this example, it pulled up and raised like examples 10-12 into the crystal which added nitrogen using CZ single-crystal-growth equipment as shown at drawing 5. Although coagulation temperature (Tm) -800 degree C was the range for a part for 2.4-degree-C/to 1.5-degree-C/and the crystal cooling rate was not the above cooling rate by 2.0-degree-C/in these all temperature requirements, the range of 800 to 400 degrees C was range for a part for 1.6-degree-C/to 1.2-degree-C/, and was the above cooling rate by 1.0-degree-C/in all the crystal temperature fields of this temperature requirement. The raised silicon single crystal carried out 5-micrometer epitaxial growth of the single crystal layer to the substrate wafer after wafer processing on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne., and produced the silicon semiconductor substrate. Nitrogen concentration and an oxygen density are the same as that of the concentration described in the examples 1-6, an example 22 is [ inside oxygen and the example 24 of hypoxia and an example 23 ] low nitrogen level on low nitrogen level in low nitrogen level, and the hyperoxia and an example 25 are [ inside oxygen and the example 27 of hypoxia and an example 26 ] the crystals of the hyperoxia on high nitrogen level in high nitrogen level with high nitrogen level.

Setting to the field from the interface of an epitaxial layer and a substrate silicon wafer to a depth of 1 micrometer, defect density 0.1 micrometers or more is  $1.0 \times 10^3$  by diameter conversion. An individual / cm<sup>3</sup> It decreases notably below and is  $10^4$  in the field from an interface and an interface to a depth of 1 micrometer also about a minute defect 20nm or more by diameter conversion. An individual / cm<sup>3</sup> It is reduction-ized notably below. For minute defect density 20nm or more, in the thickness core field (bulk field) of a substrate wafer, any crystal is  $1.0 \times 10^9$ . An individual / cm<sup>3</sup> Extent existence is recognized and the remarkable increment in a defect effective in the IG effectiveness is seen. In addition, there was no crystal defect generating in the epitaxial layer after heat treatment evaluation, the defect-free layer was large under [ from an epitaxial layer ] the substrate silicon wafer front face (namely, interface of an epitaxial layer and a substrate wafer), and there was no ejection to the epitaxial layer of the minute defect of an oxygen sludge etc.

[0049] (Examples 28-33) Also about examples 28-33, it pulls up to Table 9 (a), (b), and Table 10 (a) and (b), and the manufacture conditions and evaluation result of training are shown. In addition, what requires Table 9 (a) and (b) for the resistivity cm crystal it is [ crystal ] of 10ohms, and the crystal Table 10 (a) and whose (b) are the resistivity cm of 0.02ohms are started. In this example, it pulled up and raised like examples 13-15 into the crystal which added nitrogen using CZ single-crystal-growth equipment as shown at drawing 6. The range of 800 more to 400 degrees C was range for a part for 2.0-

degree-C/to 1.2-degree-C/, from Tm, a crystal cooling rate is the range for a part for 6.5-degree-C/to 2.0-degree-C/, and it was [ coagulation temperature (Tm) -800 degree C was the above cooling rate by 2.0 degrees-C/in all 800-degree C crystal temperature fields, and ] the above cooling rate by 1.0-degree-C/further in all 800 to 400 degrees C crystal temperature fields. The raised silicon single crystal carried out 5-micrometer epitaxial growth of the single crystal layer to the substrate wafer after wafer processing on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne., and produced the silicon semi-conductor substrate. Nitrogen concentration and an oxygen density are the same as that of the concentration described in the examples 1-6, an example 28 is [ inside oxygen and the example 30 of hypoxia and an example 29 ] low nitrogen level on low nitrogen level in low nitrogen level, and the hyperoxia and an example 31 are [ inside oxygen and the example 33 of hypoxia and an example 32 ] the crystals of the hyperoxia on high nitrogen level in high nitrogen level with high nitrogen level. It sets to the interface field of an epitaxial layer and a substrate silicon wafer, and, for the defective (hole defect) consistency of 0.1 micrometers or more, any crystal is [ the size of diameter conversion ] 1.0x102. An individual / cm<sup>3</sup> It is a zero level mostly in below, it also sets to the field from this interface to a depth of 1 micrometer further, and is 102. An individual / cm<sup>3</sup> It decreases extremely less than [ level or it ]. It is 102 in the field from an interface and an interface to a depth of 1 micrometer also about a minute defect 20nm or more by diameter conversion. An individual / cm<sup>3</sup> It is extremely reduction-sized on level and the nearly perfect defect-free layer forms. On the other hand, in the thickness core field (bulk field) of a wafer, any crystal is 3 1.0x1010 pieces/cm about minute defect density 20nm or more. Extent existence is recognized and the remarkable increment in a defect effective in the IG effectiveness is seen. In addition, there was no crystal defect generating in the epitaxial layer after heat treatment evaluation, the defect-free layer was large under [ from an epitaxial layer ] the substrate silicon wafer front face (namely, interface of an epitaxial layer and a substrate wafer), and there was no ejection to the epitaxial layer of the minute defect of an oxygen sludge etc.

[0050] (Examples 34-38) This examples 34-38 are the silicon semi-conductor substrates which manufactured so that might use as the epitaxial substrate wafer for single crystal layer deposition by law the silicon wafer which started and carried out wafer processing from the crystal which added nitrogen, it might heat-treat before epitaxial growth, and defect-free-ization might be performed in the depth more than before in this substrate silicon-wafer surface field and the defect of high density might exist in this substrate wafer core field, and deposited 5 micrometers of epitaxial layers after that. At this example, nitrogen concentration is 1.0x10<sup>19</sup> atoms/cm<sup>3</sup>. An oxygen density is 1.0x10<sup>18</sup> atoms/cm<sup>3</sup> at the high concentration of level. For the effectiveness looked at by this example although high concentration level is indicated, nitrogen concentration is 5.0x10<sup>13</sup> atoms/cm<sup>3</sup>. It is 1.0x10<sup>16</sup> atoms/cm<sup>3</sup> above. The following and an oxygen density are 1.0x10<sup>17</sup> atoms/cm<sup>3</sup>. If it is the crystal manufactured in the above range, it will check that the same effectiveness is shown. The manufacture conditions and evaluation result of this example are shown in Table 11 (a), (b), and Table 12 (a) and (b). In addition, what requires Table 11 (a) and (b) for the resistivity cm crystal it is [ crystal ] of 10ohms, and the crystal Table 12 (a) and whose (b) are the resistivity cm of 0.02ohms are started. Crystal pulling was pulled up and raised using CZ single-crystal-growth equipment as shown in drawing 3 . Coagulation temperature (Tm) -800 degree C of the crystal cooling rate was not necessarily above by 2.0-degree-C/in these all temperature requirements in the range for a part for 2.4-degree-C/to 0.8-degree-C/. Moreover, in the 800 degrees C - 400 degrees C crystal temperature field, it was not necessarily above by 1.0-degree-C/in these all temperature requirements in the range for a part for 1.2-degree-C/to 0.5-degree-C/. Examples 34 and 35 performed [ Ar ambient atmosphere / 1000 degrees C ] heat treatment for 5 minutes at 1300 degrees C by 60 minutes and Ar ambient atmosphere, respectively, in order that heat treatment might look at the effectiveness of heat treatment time amount, 60 minutes, 5 minutes, and an example 36 might look at the effectiveness of a heat treatment ambient atmosphere at 1100 degrees C by Ar ambient atmosphere, respectively and 60 minutes and examples 37 and 38 might look at the effectiveness of heat treatment temperature at 1100 degrees C by the oxygen ambient atmosphere. About the density distribution in the field from the epitaxial layer of a hole defect 0.1 micrometers or more, and the interface of a substrate silicon wafer to a depth of 1 micrometer, the oxygen atmosphere heat treatment of an example 36 is

removed by diameter conversion, and it is  $1.0 \times 10^2$ . An individual /  $\text{cm}^3$  It is defective distribution of a zero level mostly in below. It is also related with the oxygen atmosphere-heat-treatment wafer of an example 36, and the consistency of the hole defect concerned is  $1.0 \times 10^3$ . An individual /  $\text{cm}^3$  Compared with the former, it is decreasing notably on level. Moreover, size is  $1.0 \times 10^4$  about a minute defect 20nm or more by diameter conversion in the field from the interface of an epitaxial layer and a substrate silicon wafer to a depth of 1 micrometer. An individual /  $\text{cm}^3$  It has become the following and reduction of remarkable defect density is seen. On the other hand, for minute defect density 20nm or more, in the thickness core field (bulk field) of a substrate wafer, any crystal is  $1.0 \times 10^8$ . An individual /  $\text{cm}^3$  It is above and the remarkable increment in a defect effective in the IG effectiveness is seen. There is an inclination which a minute defect decomposes as temperature as an elevated temperature, and 1100 to about 1200 degrees C are desirable. Moreover, much more reduction of a defect is seen in Ar ambient atmosphere whose ambient atmosphere is one of the inert gas compared with an oxygen ambient atmosphere. Although reduction of the defect density near an epitaxial layer interface is seen like long duration, the viewpoint of a manufacturing cost to 5-minute or more 60 or less minute extent is enough as heat treatment time amount for that there is a reduction inclination of the defect density of a wafer core field, and a pan. In addition, there was no crystal defect generating in the epitaxial layer after heat treatment evaluation, the defect-free layer was large under [ from an epitaxial layer ] the substrate silicon wafer front face (namely, interface of an epitaxial layer and a substrate wafer), and there was no ejection to the epitaxial layer of the minute defect of an oxygen sludge etc.

[0051] (Examples 39-41) This examples 39-41 Use as the epitaxial substrate wafer for single crystal layer deposition by law the silicon wafer which carried out wafer processing of the crystal which quenched the crystal at the time of crystal pulling training without adding nitrogen, and it heat-treats before epitaxial growth. It is the silicon substrate which manufactured so that defect-free-ization might be performed in the depth more than before in this substrate silicon wafer surface field and the defect of high density might exist in this substrate wafer core field, and deposited 5 micrometers of epitaxial layers after that. At this example, an oxygen density is  $1.0 \times 10^{18}$  atoms/ $\text{cm}^3$ . For the effectiveness looked at by this example although high concentration level is indicated, an oxygen density is  $1.0 \times 10^{17}$  atoms/ $\text{cm}^3$ . If it is the crystal manufactured in the above range, it will check that the same effectiveness is shown. The manufacture conditions and evaluation result of this example are shown in Table 11 (a), (b), and Table 12 (a) and (b). In addition, what requires Table 11 (a) and (b) for the resistivity cm crystal it is [ crystal ] of 10ohms, and the crystal Table 12 (a) and whose (b) are the resistivity cm of 0.02ohms are started. Pulling up and raising the example 39 using CZ single-crystal-growth equipment as shown in drawing 4 , coagulation temperature ( $T_m$ ) -800 degree C was the range for a part for 6.0-degree-C/to 2.0-degree-C/, and the crystal cooling rate was the above cooling rate by 2.0-degree-C/in all 800-degree C crystal temperature fields from  $T_m$ . The cooling rate of a 800 to 400 degrees C crystal temperature requirement was not necessarily the above cooling rate by 1.0-degree-C/in these all temperature requirements in a part for part [ for 2.0 degrees-C/- ], and 0.5-degree-C/. An example 40 is pulled up and raised using CZ single-crystal-growth equipment which installed the equipment which heightens the refrigeration capacity of a crystal as shown in drawing 5 , and coagulation temperature ( $T_m$ ) -800 degree C of a crystal cooling rate is the range for a part for 2.4-degree-C/to 1.5-degree-C/. Although it was not the above cooling rate by 2.0-degree-C/in these all temperature requirements, the range of 800 to 400 degrees C was range for a part for 1.6-degree-C/to 1.2-degree-C/, and was the above cooling rate by 1.0-degree-C/in all the crystal temperature fields of this temperature requirement. An example 41 is pulled up and raised using CZ single-crystal-growth equipment which installed the equipment which heightens the refrigeration capacity of a crystal as shown in drawing 6 , and coagulation temperature ( $T_m$ ) -800 degree C of a crystal cooling rate is the range for a part for 6.5-degree-C/to 2.0-degree-C/. It was the range for a part for 2.0-degree-C/to 1.2-degree-C/, and from  $T_m$ , the range of 800 more to 400 degrees C was the above cooling rate by 2.0-degree-C/in all 800-degree C crystal temperature fields, and was the above cooling rate by 1.0-degree-C/further in all 800 to 400 degrees C crystal temperature fields. Also in which example, heat treatment of the substrate silicon wafer before epitaxial deposition was carried out at 1100 degrees C by Ar ambient atmosphere for 60 minutes. Although the defect density reduction

effectiveness is remarkable in the crystal which quenched all the temperature fields from coagulation temperature to 400 degrees C, the defect density under an epitaxial layer interface reduces any crystal. On the other hand, in the substrate wafer thickness core field, it has sufficient defect density to heighten the IG effectiveness. In addition, there is no crystal defect generating in the epitaxial layer after heat treatment evaluation, and there was no ejection to the epitaxial layer of the minute defect of an oxygen sludge etc.

[0052] (Examples 42-44) This examples 42-44 Use as the epitaxial substrate wafer for single crystal layer deposition by law the silicon wafer which carried out wafer processing of the crystal which added nitrogen at the time of crystal pulling training, and quenched the crystal, and it heat-treats before epitaxial growth. It is the silicon semi-conductor substrate which manufactured so that defect-free-ization might be performed in the depth more than before in this substrate silicon wafer surface field and the defect of high density might exist in this substrate wafer core field, and deposited 5 micrometers of epitaxial layers after that. At this example, nitrogen concentration is  $1.0 \times 10^{19}$  atoms/cm<sup>3</sup>. An oxygen density is  $1.0 \times 10^{18}$  atoms/cm<sup>3</sup> at the high concentration of level. For the effectiveness looked at by this example although high concentration level is indicated, nitrogen concentration is  $5.0 \times 10^{13}$  atoms/cm<sup>3</sup>. It is  $1.0 \times 10^{16}$  atoms/cm<sup>3</sup> above. The following and an oxygen density are  $1.0 \times 10^{17}$  atoms/cm<sup>3</sup>. If it is the crystal manufactured in the above range, it will check that the same effectiveness is shown. The manufacture conditions and evaluation result of this example are shown in Table 11 (a), (b), and Table 12 (a) and (b). In addition, what requires Table 11 (a) and (b) for the resistivity cm crystal it is [ crystal ] of 10ohms, and the crystal Table 12 (a) and whose (b) are the resistivity cm of 0.02ohms are started. Pulling up and raising the example 42 using CZ single-crystal-growth equipment which installed the equipment which heightens the refrigeration capacity of a crystal as shown in drawing 4 , coagulation temperature (Tm) -800 degree C was the range for a part for 6.0-degree-C/to 2.0-degree-C/, and the crystal cooling rate was the above cooling rate by 2.0-degree-C/in all 800-degree C crystal temperature fields from Tm. The cooling rate of a 800 to 400 degrees C crystal temperature requirement was not necessarily the above cooling rate by 1.0-degree-C/in these all temperature requirements in a part for part [ for 2.0 degrees-C/- ], and 0.5-degree-C/. An example 43 is pulled up and raised using CZ single-crystal-growth equipment which installed the equipment which heightens the refrigeration capacity of a crystal as shown in drawing 5 , and coagulation temperature (Tm) -800 degree C of a crystal cooling rate is the range for a part for 2.4-degree-C/to 1.5-degree-C/. Although it was not the above cooling rate by 2.0-degree-C/in these all temperature requirements, the range of 800 to 400 degrees C was range for a part for 1.6-degree-C/to 1.2-degree-C/, and was the above cooling rate by 1.0-degree-C/in all the crystal temperature fields of this temperature requirement. An example 44 is pulled up and raised using CZ single-crystal-growth equipment which installed the equipment which heightens the refrigeration capacity of a crystal as shown in drawing 6 , and coagulation temperature (Tm) -800 degree C of a crystal cooling rate is the range for a part for 6.5-degree-C/to 2.0-degree-C/. It was the range for a part for 2.0-degree-C/to 1.2-degree-C/, and from Tm, the range of 800 more to 400 degrees C was the above cooling rate by 2.0-degree-C/in all 800-degree C crystal temperature fields, and was the above cooling rate by 1.0-degree-C/further in all 800 to 400 degrees C crystal temperature fields. Also in which example, heat treatment of the substrate silicon wafer before epitaxial deposition was carried out at 1100 degrees C by Ar ambient atmosphere for 60 minutes. Although the defect density reduction effectiveness is remarkable in the crystal which quenched all the temperature fields from coagulation temperature to 400 degrees C, size is also related with a minute defect 20nm or more by any crystal also about the hole defect beyond size 0.1micrometer, and the defect density under an epitaxial layer interface is 102. An individual / cm<sup>3</sup> The defect-free condition not more than level or it is realized nearly completely. On the other hand, the defect density of 20nm or more of substrate wafer thickness core fields is 109. An individual / cm<sup>3</sup> It has the defect density which reinforces the IG effectiveness on level. In addition, there is no crystal defect generating in the epitaxial layer after heat treatment evaluation, and there was no ejection to the epitaxial layer of the minute defect of an oxygen sludge etc.

[0053] (Examples 1-3 of a comparison) Crystal training was performed in the examples 1-3 of a comparison, without adding nitrogen. That is, it pulled up and raised with usual crystal training

equipment without the thing which form especially crystal quenching equipment as [ a thing ] shown in drawing 3 , and coagulation temperature (Tm) -800 degree C of the crystal cooling rate was not necessarily above by 2.0-degree-C/in these all temperature requirements in the range for a part for 2.4-degree-C/to 0.8-degree-C/. Moreover, in the 800 degrees C - 400 degrees C crystal temperature field, it was not necessarily above by 1.0-degree-C/in these all temperature requirements in the range for a part for 1.2-degree-C/to 0.5-degree-C/. The raised silicon single crystal carried out 5-micrometer epitaxial growth of the single crystal layer to the substrate wafer after wafer processing on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne., and produced the silicon semi-conductor substrate. The manufacture conditions and evaluation result of this example of a comparison are shown in Table 13 (a), (b), and Table 14 (a) and (b). In addition, what requires Table 13 (a) and (b) for the resistivity cm crystal it is [ crystal ] of 10ohms, and the crystal Table 14 (a) and whose (b) are the resistivity cm of 0.02ohms are started. The examples 1 of a comparison are [ inside oxygen and the example 3 of a comparison of hypoxia and the example 2 of a comparison ] the crystals of the hyperoxia. The inclination, as for the defective (hole defect) consistency of 0.1 micrometers or more, for the one where an oxygen density is lower to fall [ the size of diameter conversion ] in the field from the interface of an epitaxial layer and a substrate wafer to a depth of 1 micrometer is  $5.0 \times 10^4$  of a certain thing. An individual / cm<sup>3</sup> It does not become below but is  $10^5$  in general. An individual / cm<sup>3</sup> It is the high density of level. It sets also about a minute defect 20nm or more by diameter conversion to the field from the interface of an epitaxial layer and a substrate wafer to a depth of 1 micrometer, and a consistency is  $5.0 \times 10^5$ . An individual / cm<sup>3</sup> It does not realize but the following is  $1.0 \times 10^6$ . An individual / cm<sup>3</sup> It is the above level. On the other hand, in the thickness core field (bulk field) of a substrate wafer, it is  $1.0 \times 10^7$ . An individual / cm<sup>3</sup> On level, the remarkable IG effectiveness is not expectable. in addition, after heat treatment -- setting -- per wafer -- some -- formation (ejection to the epitaxial layer of an oxygen sludge and formation of a stacking fault) of the crystal defect of level was seen, and the epitaxial layer and the defect-free layer near the interface of a substrate wafer were narrow.

[0054] (Examples 4-6 of a comparison) At the examples 4-6 of a comparison, the nitrogen concentration in melt is the addition of nitrogen at the time of crystal pulling training  $5.0 \times 10^{15}$  atoms/cm<sup>3</sup> It considers as extent and the nitrogen concentration under crystal is  $5.0 \times 10^{12}$  atoms/cm<sup>3</sup>. It considered as extent. That is, the nitrogen addition was made into the minute amount. Crystal training was pulled up and raised with usual crystal training equipment without the thing which form especially crystal quenching equipment as [ a thing ] shown in drawing 3 , and coagulation temperature (Tm) -800 degree C of the crystal cooling rate was not necessarily above by 2.0-degree-C/in these all temperature requirements in the range for a part for 2.4-degree-C/to 0.8-degree-C/. Moreover, in the 800 degrees C - 400 degrees C crystal temperature field, it was not necessarily above by 1.0-degree-C/in these all temperature requirements in the range for a part for 1.2-degree-C/to 0.5-degree-C/. The raised silicon single crystal carried out 5-micrometer epitaxial growth of the single crystal layer to the substrate wafer after wafer processing on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne., and produced the silicon semi-conductor substrate. The manufacture conditions and evaluation result of this example of a comparison are shown in Table 13 (a), (b), and Table 14 (a) and (b). In addition, what requires Table 13 (a) and (b) for the resistivity cm crystal it is [ crystal ] of 10ohms, and the crystal Table 14 (a) and whose (b) are the resistivity cm of 0.02ohms are started.. The examples 4 of a comparison are [ inside oxygen and the example 6 of a comparison of hypoxia and the example 5 of a comparison ] the crystals of the hyperoxia. In the field from the interface of an epitaxial layer and a substrate wafer to a depth of 1 micrometer The size of the defective (hole defect) consistency of 0.1 micrometers or more and the size of diameter conversion of diameter conversion is the same as that of the examples 1-3 of a comparison almost about the consistency of a minute defect 20nm or more. It does not see but the remarkable effectiveness of nitrogen addition is  $10^5$  in general to each defective size. An individual / cm<sup>3</sup> Level and  $1.0 \times 10^6$  An individual / cm<sup>3</sup> It was high-density on level. On the other hand, also about the thickness core field (bulk field) of this substrate wafer, it does not see but the increment in defect density is  $1.0 \times 10^7$ . An individual / cm<sup>3</sup> It is level and the remarkable IG effectiveness cannot be expected. in

addition -- although all life time is satisfactory -- after heat treatment -- setting -- per wafer -- some -- formation (ejection to the epitaxial layer of an oxygen sludge and formation of a stacking fault) of the crystal defect of level was seen, and the epitaxial layer and the defect-free layer near the interface of a substrate wafer were narrow.

[0055] (Example 7 of a comparison) For the example 7 of a comparison, the nitrogen concentration in melt is the addition of nitrogen at the time of crystal pulling training  $4.5 \times 10^{19}$  atoms/cm<sup>3</sup>. It considers as extent and the nitrogen concentration under crystal is  $3.0 \times 10^{16}$  atoms/cm<sup>3</sup>. It considered as extent. That is, extremely many nitrogen was added. Crystal training was pulled up and raised with usual crystal training equipment without the thing which form especially crystal quenching equipment as [ a thing ] shown in drawing 3, and coagulation temperature (Tm) -800 degree C of the crystal cooling rate was not necessarily above by 2.0-degree-C/in these all temperature requirements in the range for a part for 2.4-degree-C/to 0.8-degree-C/. Moreover, in the 800 degrees C - 400 degrees C crystal temperature field, it was not necessarily above by 1.0-degree-C/in these all temperature requirements in the range for a part for 1.2-degree-C/to 0.5-degree-C/. The raised silicon single crystal carried out 5-micrometer epitaxial growth of the single crystal layer to the substrate wafer after wafer processing on the surface of Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne., and produced the silicon semi-conductor substrate. The manufacture conditions and evaluation result of this example of a comparison are shown in Table 13 (a), (b), and Table 14 (a) and (b). In addition, what requires Table 13 (a) and (b) for the resistivity cm crystal it is [ crystal ] of 10ohms, and the crystal Table 14 (a) and whose (b) are the resistivity cm of 0.02ohms are started. . In the field from the interface of an epitaxial layer and a substrate wafer to a depth of 1 micrometer, the atomic hole whose size of diameter conversion the defective ( hole defect ) consistency of 0.1 micrometers or more and the size of diameter conversion be the components of the decomposed defect although the defect which became detailed from the effectiveness of nitrogen decompose easily about the consistency of a minute defect 20nm or more at the time of epitaxial growth and reduction be see, and impurity oxygen be spread in an epitaxial layer, and new defective formation be see in an epitaxial layer.

[0056]

[Table 1]

表1 (a)

シリコン基板比抵抗 :  $10 \Omega \cdot \text{cm}$

	製造条件						
	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 1	1.0E17	0.8	1.0E14	3.0E17	-	-	-
実施例 2	2.0E17	0.8	2.0E14	8.0E17	-	-	-
実施例 3	5.0E17	0.8	5.0E14	9.5E17	-	-	-
実施例 4	8.0E18	0.8	7.0E15	3.0E17	-	-	-
実施例 5	1.0E19	0.8	1.0E16	8.0E17	-	-	-
実施例 6	9.0E18	0.8	8.0E15	9.5E17	-	-	-

○ : 範囲内、 - : 範囲外

表1 (b)

	エピ界面～深さ 1μm欠陥		エピ層欠陥 個/ウェハ
	サイズ>0.1μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	
実施例 1	9.0E2	1.5E5	1.0E9 検出されない
実施例 2	9.0E2	6.5E5	5.0E9 検出されない
実施例 3	8.5E2	6.0E5	6.0E9 検出されない
実施例 4	6.0E2	1.0E5	1.5E9 検出されない
実施例 5	6.0E2	5.0E5	6.0E9 検出されない
実施例 6	9.0E2	5.5E5	8.0E9 検出されない

[0057]

[Table 2]

表2 (a)

シリコン基板比抵抗: 0. 02 Ω · cm

	製造条件						
	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 1	5.0E16	0.9	5.0E13	3.0E17	-	-	-
実施例 2	1.0E17	0.9	1.0E14	8.0E17	-	-	-
実施例 3	2.0E16	0.9	2.0E13	9.5E17	-	-	-
実施例 4	1.0E19	0.9	1.0E16	3.0E17	-	-	-
実施例 5	1.0E19	0.9	1.0E16	8.0E17	-	-	-
実施例 6	1.0E19	0.9	1.0E16	9.5E17	-	-	-

○: 範囲内、 - : 範囲外

表2 (b)

	エビ界面～深さ 1 μm 欠陥			
	サイズ>0.1 μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	バルク欠陥 /cm <sup>3</sup>	エビ層欠陥 個/ウェハ
実施例 1	8.0E2	1.0E5	3.0E9	検出されない
実施例 2	8.0E2	5.0E5	6.0E9	検出されない
実施例 3	7.5E2	5.0E5	6.5E9	検出されない
実施例 4	5.0E2	1.0E5	5.0E9	検出されない
実施例 5	5.0E2	4.0E5	8.0E9	検出されない
実施例 6	8.0E2	5.0E5	9.5E9	検出されない

[0058]

[Table 3]

表3 (a)

シリコン基板比抵抗: 10 Ω · cm

	製造条件						
	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 7	-	1.2	-	2.0E17	○	-	-
実施例 8	-	1.0	-	8.0E17	○	-	-
実施例 9	-	1.1	-	10.0E17	○	-	-

○: 範囲内、 - : 範囲外

表3 (b)

	エビ界面～深さ 1 μm 欠陥			
	サイズ>0.1 μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	バルク欠陥 /cm <sup>3</sup>	エビ層欠陥 個/ウェハ
実施例 7	3.0E3	1.0E4	1.0E8	検出されない
実施例 8	5.0E3	2.0E4	5.0E8	検出されない
実施例 9	6.0E3	4.0E4	5.5E8	検出されない

[0059]

[Table 4]

表4 (a)

シリコン基板比抵抗 : 0.02Ω·cm

	製造条件						
	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 7	-	1.0	-	2.0E17	○	-	-
実施例 8	-	1.0	-	8.0E17	○	-	-
実施例 9	-	1.1	-	10.0E17	○	-	-

○ : 範囲内、 - : 範囲外

表4 (b)

	エビ界面～深さ 1μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	個/ウェハ
実施例 7	2.0E3	1.0E4	2.0E8	検出されない
実施例 8	4.0E3	1.0E4	6.0E8	検出されない
実施例 9	5.0E3	4.0E4	8.0E8	検出されない

[0060]

[Table 5]

表5 (a)

シリコン基板比抵抗 : 1.0Ω·cm

	製造条件						
	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 10	-	1.0	-	3.0E17	-	○	-
実施例 11	-	0.9	-	8.0E17	-	○	-
実施例 12	-	0.8	-	10.0E17	-	○	-

○ : 範囲内、 - : 範囲外

表5 (b)

	エビ界面～深さ 1μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	個/ウェハ
実施例 10	7.0E3	5.0E4	6.0E6	検出されない
実施例 11	7.5E3	9.0E4	2.0E7	検出されない
実施例 12	9.0E3	1.0E5	4.5E7	検出されない

[0061]

[Table 6]

表6 (a)

シリコン基板比抵抗 : 0. 02 Ω · cm

	製造条件						
	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 10	-	0.9	-	3.0E17	-	○	-
実施例 11	-	0.8	-	8.0E17	-	○	-
実施例 12	-	0.8	-	10.0E17	-	○	-

○ : 範囲内、 - : 範囲外

表6 (b)

	エビ界面～深さ 1 μm 欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1 μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	個/ウェハ
実施例 10	6.0E3	4.0E4	7.0E7	検出されない
実施例 11	6.5E3	7.0E4	4.0E7	検出されない
実施例 12	8.0E3	9.0E4	8.0E7	検出されない

[0062]

[Table 7]

表7 (a)

シリコン基板比抵抗 : 1.0 Ω · cm

	製造条件						
	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 13	-	1.2	-	3.0E17	○	○	-
実施例 14	-	1.1	-	8.0E17	○	○	-
実施例 15	-	1.1	-	10.0E17	○	○	-

○ : 範囲内、 - : 範囲外

表7 (b)

	エビ界面～深さ 1 μm 欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1 μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	個/ウェハ
実施例 13	1.2E3	8.0E3	2.0E8	検出されない
実施例 14	3.0E3	1.0E4	6.0E8	検出されない
実施例 15	4.5E3	2.0E4	5.5E8	検出されない

[0063]

[Table 8]

表8 (a)

シリコン基板比抵抗: 0.02 Ω·cm

	製造条件						
	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 13	-	1.2	-	3.0E17	○	○	-
実施例 14	-	1.2	-	8.0E17	○	○	-
実施例 15	-	1.2	-	10.0E17	○	○	-

○: 範囲内、 - : 範囲外

表8 (b)

	エビ界面～深さ 1 μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1 μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	個/ウェハ
実施例 13	1.0E3	5.0E3	4.0E8	検出されない
実施例 14	1.5E3	1.0E4	8.0E8	検出されない
実施例 15	3.0E3	1.5E4	9.5E8	検出されない

[0064]  
[Table 9]

表9 (a)

シリコン基板比抵抗：10Ω・cm

	製造条件						
	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm～800°C >2.0°C/分	800～400°C >1.0°C/分	熱処理
実施例 16	2.0E16	0.8	1.5E13	4.0E17	○	-	-
実施例 17	2.0E16	0.8	1.5E13	8.0E17	○	-	-
実施例 18	5.0E16	0.8	4.0E13	10.0E17	○	-	-
実施例 19	2.0E18	1.0	1.0E15	4.0E17	○	-	-
実施例 20	2.0E18	1.0	1.0E15	8.0E17	○	-	-
実施例 21	2.0E18	1.0	1.0E15	10.0E17	○	-	-
実施例 22	2.0E16	1.0	1.5E13	3.0E17	-	○	-
実施例 23	2.0E16	0.8	1.5E13	8.0E17	-	○	-
実施例 24	5.0E16	0.8	4.0E13	9.0E17	-	○	-
実施例 25	4.5E18	1.1	3.0E15	3.0E17	-	○	-
実施例 26	4.5E18	1.0	3.0E15	8.0E17	-	○	-
実施例 27	4.5E18	0.9	3.0E15	9.0E17	-	○	-
実施例 28	5.0E16	1.2	4.0E13	4.0E17	○	○	-
実施例 29	5.0E16	1.1	4.0E13	7.5E17	○	○	-
実施例 30	2.0E16	1.1	1.5E13	9.5E17	○	○	-
実施例 31	2.0E18	1.1	1.0E15	4.0E17	○	○	-
実施例 32	2.0E18	1.1	1.0E15	7.5E17	○	○	-
実施例 33	2.0E18	1.1	1.0E15	9.5E17	○	○	-

○：範囲内、 -：範囲外

表9 (b)

	エビ界面～深さ1μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	個/ウェハ
実施例 16	4.0E2	1.2E3	8.0E9	検出されない
実施例 17	4.5E2	2.0E3	1.0E10	検出されない
実施例 18	6.0E2	2.0E3	1.5E10	検出されない
実施例 19	1.2E2	1.2E3	1.0E10	検出されない
実施例 20	1.5E2	1.2E3	2.0E10	検出されない
実施例 21	2.0E2	1.2E3	2.5E10	検出されない
実施例 22	6.0E2	1.8E3	8.5E8	検出されない
実施例 23	8.5E2	6.0E3	1.0E9	検出されない
実施例 24	9.5E2	6.0E3	2.0E9	検出されない
実施例 25	4.0E2	1.2E3	1.5E9	検出されない
実施例 26	6.0E2	1.5E3	3.0E9	検出されない
実施例 27	7.0E2	1.5E3	5.0E9	検出されない
実施例 28	<1.0E2	6.0E2	1.0E10	検出されない
実施例 29	2.4E2	9.0E2	1.2E10	検出されない
実施例 30	3.0E2	9.0E2	2.1E10	検出されない
実施例 31	<1.0E2	6.0E2	1.5E10	検出されない
実施例 32	<1.0E2	3.0E2	2.3E10	検出されない
実施例 33	1.2E2	3.0E2	2.5E10	検出されない

[0065]

[Table 10]

表10 (a)

シリコン基板比抵抗: 0.02Ω·cm

	製造条件						
	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 16	2.0E16	0.9	1.5E13	4.0E17	○	-	-
実施例 17	2.0E16	1.0	1.5E13	8.0E17	○	-	-
実施例 18	5.0E16	1.0	4.0E13	10.0E17	○	-	-
実施例 19	2.0E18	0.9	1.0E15	4.0E17	○	-	-
実施例 20	2.0E18	1.0	1.0E15	8.0E17	○	-	-
実施例 21	2.0E18	1.0	1.0E15	10.0E17	○	-	-
実施例 22	2.0E16	0.8	1.5E13	3.0E17	-	○	-
実施例 23	2.0E16	0.8	1.5E13	8.0E17	-	○	-
実施例 24	5.0E16	0.8	4.0E13	9.0E17	-	○	-
実施例 25	4.5E18	0.8	3.0E15	3.0E17	-	○	-
実施例 26	4.5E18	0.8	3.0E15	8.0E17	-	○	-
実施例 27	4.5E18	0.9	3.0E15	9.0E17	-	○	-
実施例 28	5.0E16	1.1	4.0E13	4.0E17	○	○	-
実施例 29	5.0E16	1.2	4.0E13	7.5E17	○	○	-
実施例 30	2.0E16	1.2	1.5E13	9.5E17	○	○	-
実施例 31	2.0E18	1.2	1.0E15	4.0E17	○	○	-
実施例 32	2.0E18	1.2	1.0E15	7.5E17	○	○	-
実施例 33	2.0E18	1.2	1.0E15	9.5E17	○	○	-

○: 範囲内、 - : 範囲外

表10 (b)

	エビ界面～深さ 1 μm 欠陥		バルク欠陥 サイズ>20nm /cm <sup>3</sup>	エビ層欠陥 個/ウェハ
	サイズ>0.1 μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>		
実施例 16	3.0E2	1.0E3	1.0E10	検出されない
実施例 17	3.0E2	1.5E3	1.5E10	検出されない
実施例 18	4.0E2	1.5E3	1.5E10	検出されない
実施例 19	1.0E2	1.0E3	1.0E10	検出されない
実施例 20	1.0E2	1.0E3	1.5E10	検出されない
実施例 21	1.0E2	1.0E3	2.0E10	検出されない
実施例 22	4.0E2	1.0E3	1.0E9	検出されない
実施例 23	6.0E2	4.0E3	1.0E9	検出されない
実施例 24	6.0E2	5.0E3	2.0E9	検出されない
実施例 25	3.0E2	1.0E3	3.0E9	検出されない
実施例 26	4.0E2	1.0E3	1.5E9	検出されない
実施例 27	6.0E2	1.0E3	3.0E9	検出されない
実施例 28	<1.0E2	3.0E2	2.0E10	検出されない
実施例 29	<1.0E2	5.0E2	2.0E10	検出されない
実施例 30	<1.0E2	5.0E2	2.5E10	検出されない
実施例 31	<1.0E2	2.0E2	3.0E10	検出されない
実施例 32	<1.0E2	1.0E2	3.0E10	検出されない
実施例 33	1.0E2	2.0E2	3.5E10	検出されない

[0066]

[Table 11]

表11 (a)

シリコン基板比抵抗: 10Ω·cm

	製造条件						
	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 34	1.0E19	0.8	1.0E16	10.0E17	-	-	(1)
実施例 35	8.0E18	0.8	5.0E15	10.0E17	-	-	(2)
実施例 36	8.0E18	0.8	5.0E15	10.0E17	-	-	(3)
実施例 37	8.0E18	0.8	5.0E15	10.0E17	-	-	(4)
実施例 38	8.0E18	0.8	5.0E15	10.0E17	-	-	(5)
実施例 39	-	0.8	-	10.0E17	○	-	(1)
実施例 40	-	0.8	-	10.0E17	-	○	(1)
実施例 41	-	0.8	-	10.0E17	○	○	(1)
実施例 42	8.0E18	1.0	5.0E15	10.0E17	○	-	(1)
実施例 43	4.5E18	0.9	3.0E15	9.0E17	-	○	(1)
実施例 44	8.0E18	1.1	5.0E15	10.0E17	○	○	(1)

○: 範囲内、-: 範囲外

熱処理条件	(1)	Ar, 1100°C, 60 分
	(2)	Ar, 1100°C, 5 分
	(3)	O <sub>2</sub> , 1100°C, 60 分
	(4)	Ar, 1000°C, 60 分
	(5)	Ar, 1300°C, 5 分

表11 (b)

	エビ界面～深さ 1μm 欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1 μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	個/ウェハ
実施例 34	<1.0E2	9.0E2	1.0E9	検出されない
実施例 35	<1.0E2	1.0E4	1.0E9	検出されない
実施例 36	1.2E3	3.0E3	1.0E9	検出されない
実施例 37	<1.0E2	1.0E4	1.0E9	検出されない
実施例 38	<1.0E2	<1.0E2	1.0E8	検出されない
実施例 39	4.5E2	1.2E3	5.0E8	検出されない
実施例 40	9.5E2	1.2E3	1.0E8	検出されない
実施例 41	3.0E2	1.2E3	6.0E8	検出されない
実施例 42	<1.0E2	3.0E2	2.0E9	検出されない
実施例 43	<1.0E2	6.0E2	1.0E9	検出されない
実施例 44	<1.0E2	<1.0E2	3.0E9	検出されない

[0067]

[Table 12]

表12 (a)

シリコン基板比抵抗: 0.02Ω·cm

	製造条件						
	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 34	1.0E19	0.9	1.0E16	10.0E17	-	-	(1)
実施例 35	8.0E18	0.9	5.0E15	10.0E17	-	-	(2)
実施例 36	8.0E18	0.9	5.0E15	10.0E17	-	-	(3)
実施例 37	8.0E18	0.9	5.0E15	10.0E17	-	-	(4)
実施例 38	8.0E18	0.9	5.0E15	10.0E17	-	-	(5)
実施例 39	-	0.8	-	10.0E17	○	-	(1)
実施例 40	-	0.8	-	10.0E17	-	○	(1)
実施例 41	-	0.8	-	10.0E17	○	○	(1)
実施例 42	8.0E18	1.0	5.0E15	10.0E17	○	-	(1)
実施例 43	4.5E18	0.9	3.0E15	9.0E17	-	○	(1)
実施例 44	8.0E18	1.1	5.0E15	10.0E17	○	○	(1)

○: 範囲内、-: 範囲外

熱処理条件	(1)	A r, 1100°C, 60 分
	(2)	A r, 1100°C, 5 分
	(3)	O <sub>2</sub> , 1100°C, 60 分
	(4)	A r, 1000°C, 60 分
	(5)	A r, 1300°C, 5 分

表12 (b)

	エビ界面～深さ 1μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	個/ウェハ
実施例 34	<1.0E2	5.0E2	1.0E9	検出されない
実施例 35	<1.0E2	5.0E3	1.0E9	検出されない
実施例 36	<1.0E2	1.0E3	1.0E9	検出されない
実施例 37	<1.0E2	5.0E3	1.0E9	検出されない
実施例 38	<1.0E2	<1.0E2	1.0E8	検出されない
実施例 39	4.5E2	5.0E2	5.0E8	検出されない
実施例 40	9.5E2	5.0E2	1.0E8	検出されない
実施例 41	3.0E2	6.0E2	6.0E8	検出されない
実施例 42	<1.0E2	<1.0E2	2.0E9	検出されない
実施例 43	<1.0E2	2.0E2	1.0E9	検出されない
実施例 44	<1.0E2	<1.0E2	3.0E9	検出されない

[0068]

[Table 13]

表13 (a)

シリコン基板比抵抗:  $10 \Omega \cdot \text{cm}$ 

	製造条件						
	融液空素 $/\text{cm}^3$	引上速度 mm/分	結晶空素 $/\text{cm}^3$	結晶酸素 $/\text{cm}^3$	Tm~800°C $>2.0^\circ\text{C}/\text{分}$	800~400°C $>1.0^\circ\text{C}/\text{分}$	熱処理
比較例 1	-	0.8	-	2.0E17	-	-	-
比較例 2	-	0.8	-	8.0E17	-	-	-
比較例 3	-	0.8	-	10.0E17	-	-	-
比較例 4	8.0E15	0.8	5.0E12	2.0E17	-	-	-
比較例 5	8.0E15	0.8	5.0E12	8.0E17	-	-	-
比較例 6	8.0E15	0.8	5.0E12	10.0E17	-	-	-
比較例 7	4.5E19	0.8	3.0E16	10.0E17	-	-	-

○: 範囲内、-: 範囲外

表13 (b)

	エピ界面～深さ $1 \mu\text{m}$ 欠陥		バルク欠陥	エピ層欠陥
	サイズ $>0.1 \mu\text{m}$ $/\text{cm}^3$	サイズ $>20\text{nm}$ $/\text{cm}^3$	サイズ $>20\text{nm}$ $/\text{cm}^3$	個/ウェハ
比較例 1	9.0E4	1.0E6	5.0E6	3
比較例 2	1.0E5	3.0E6	2.0E7	6
比較例 3	5.0E5	5.0E6	3.0E7	8
比較例 4	6.0E4	8.0E5	1.0E7	2
比較例 5	1.0E5	2.0E6	3.0E7	4
比較例 6	3.0E5	5.0E6	5.0E7	3
比較例 7	1.0E3	2.0E5	5.0E9	75

[0069]

[Table 14]

表14 (a)

シリコン基板比抵抗:  $0.02 \Omega \cdot \text{cm}$ 

	製造条件						
	融液空素 $/\text{cm}^3$	引上速度 mm/分	結晶空素 $/\text{cm}^3$	結晶酸素 $/\text{cm}^3$	Tm~800°C $>2.0^\circ\text{C}/\text{分}$	800~400°C $>1.0^\circ\text{C}/\text{分}$	熱処理
比較例 1	-	0.8	-	2.0E17	-	-	-
比較例 2	-	0.9	-	8.0E17	-	-	-
比較例 3	-	0.9	-	10.0E17	-	-	-
比較例 4	8.0E15	0.8	6.0E12	2.0E17	-	-	-
比較例 5	8.0E15	0.9	5.0E12	8.0E17	-	-	-
比較例 6	8.0E15	0.9	5.0E12	10.0E17	-	-	-
比較例 7	4.5E19	0.9	3.0E16	10.0E17	-	-	-

○: 範囲内、-: 範囲外

表14 (b)

	エピ界面～深さ $1 \mu\text{m}$ 欠陥		バルク欠陥	エピ層欠陥
	サイズ $>0.1 \mu\text{m}$ $/\text{cm}^3$	サイズ $>20\text{nm}$ $/\text{cm}^3$	サイズ $>20\text{nm}$ $/\text{cm}^3$	個/ウェハ
比較例 1	1.0E5	3.5E6	5.0E6	3
比較例 2	2.0E5	2.0E6	2.0E7	6
比較例 3	4.0E5	6.0E6	3.0E7	8
比較例 4	9.0E4	1.0E6	1.0E7	2
比較例 5	1.5E5	2.0E6	3.0E7	4
比較例 6	2.5E5	5.0E6	5.0E7	3
比較例 7	1.5E3	1.0E5	1.0E10	55

[0070]

[Effect of the Invention] In the inside of an epitaxial layer, and near the interface of an epitaxial layer

and a substrate wafer, defective generating is very little substrate, and the silicon semi-conductor substrate of this invention is a substrate which does not produce generating of the crystal defect to an epitaxial layer even if it passes through a device manufacture heat treatment process, and the interior sludge of a wafer is the epitaxial wafer which was excellent in the gettering capacity in device process heat treatment enough for a certain reason. The manufacture approach of this invention can manufacture said silicon semi-conductor substrate by low cost more simply than before and easily.

---

[Translation done.]

**\* NOTICES \***

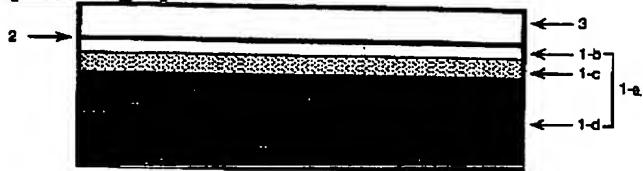
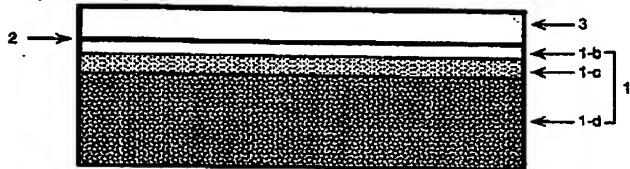
JPO and NCIPPI are not responsible for any  
damages caused by the use of this translation.

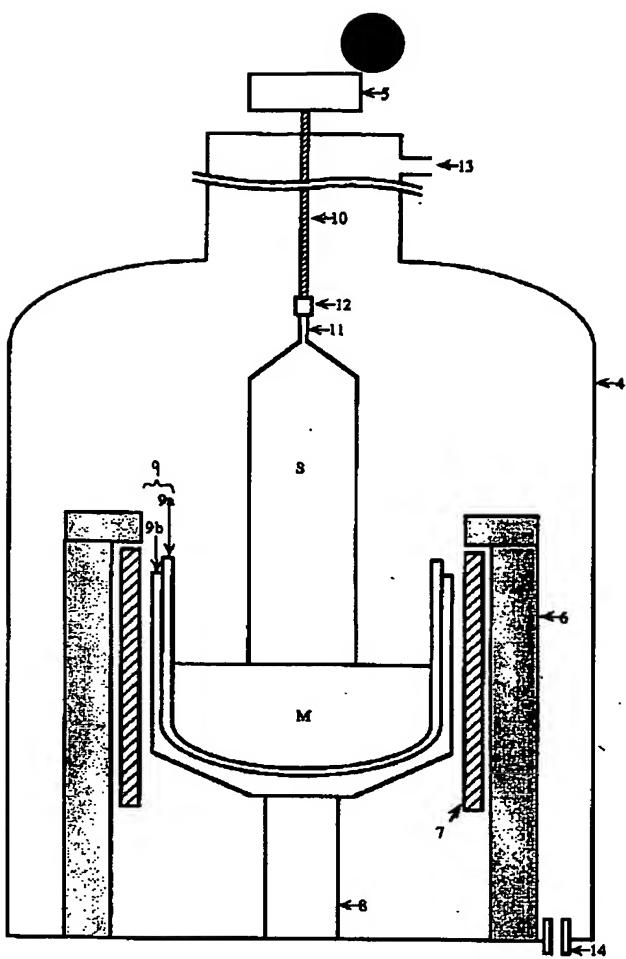
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

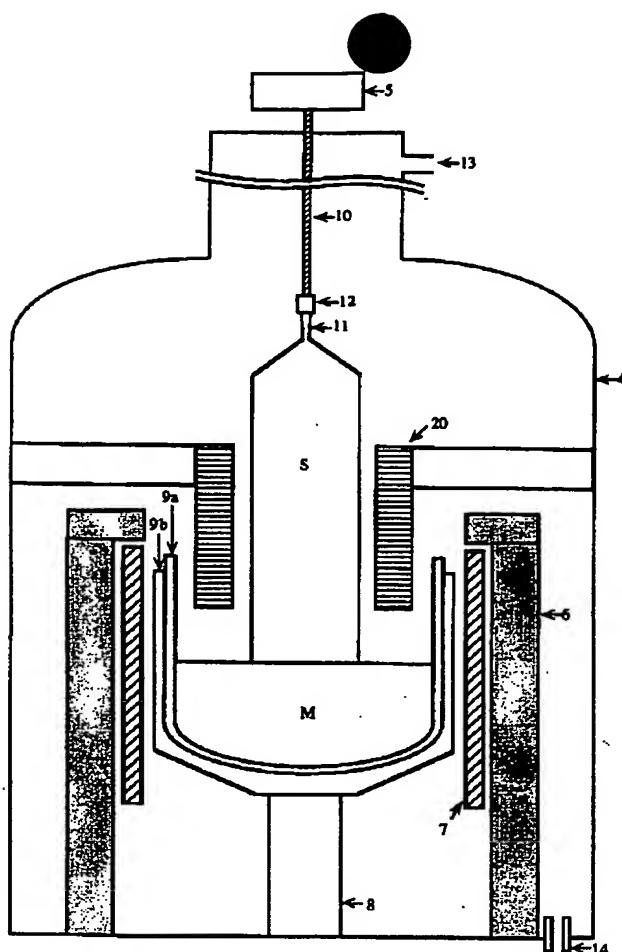
**DRAWINGS**

---

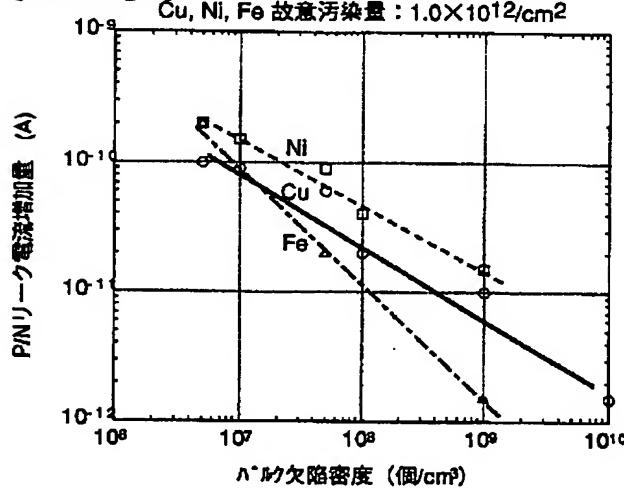
**[Drawing 1]****[Drawing 2]****[Drawing 3]**



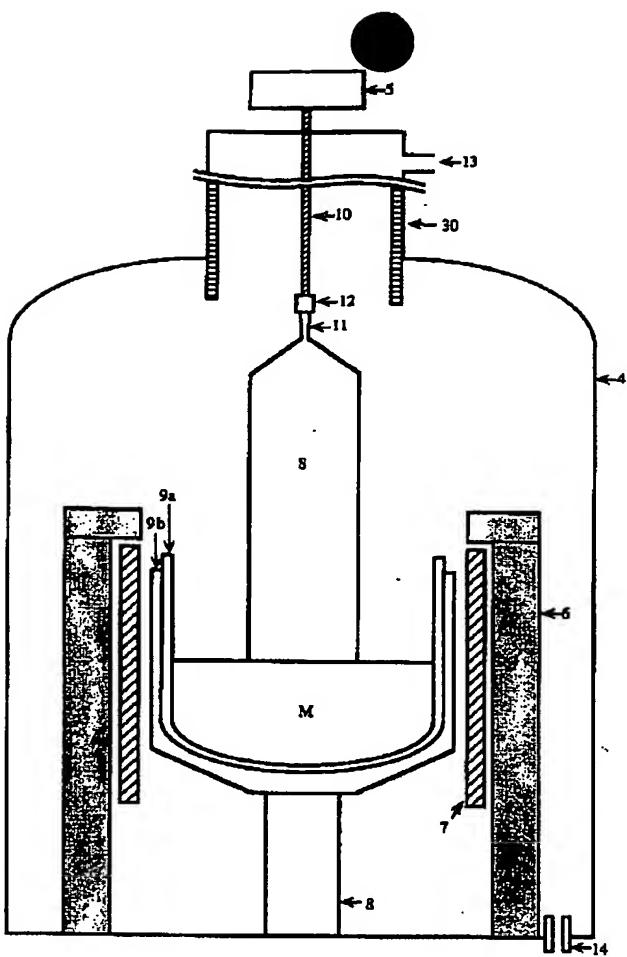
[Drawing 4]



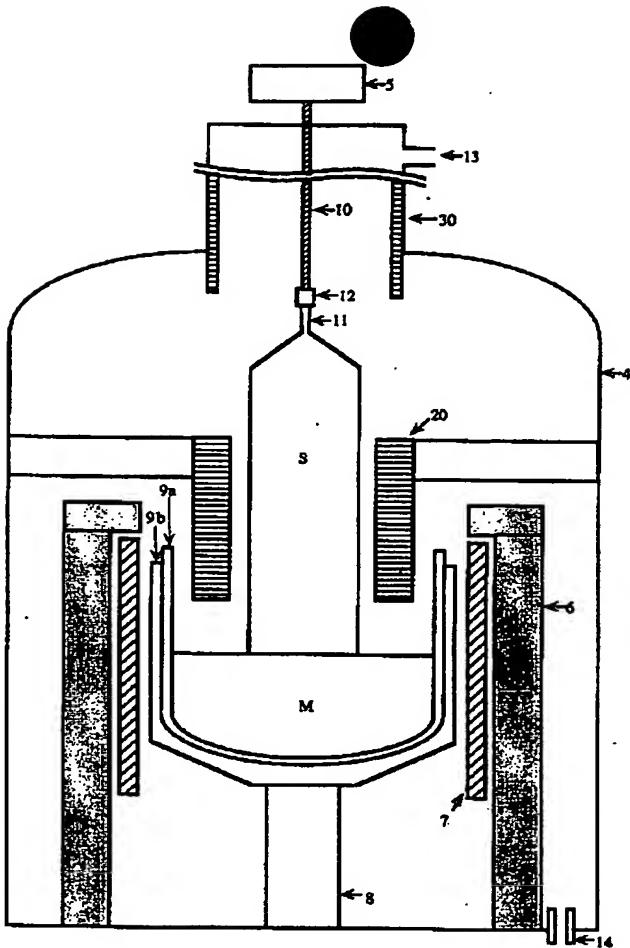
[Drawing 7]

Cu, Ni, Fe 故意汚染量 :  $1.0 \times 10^{12}/\text{cm}^2$ 

[Drawing 5]



[Drawing 6]



---

[Translation done.]

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-109396  
(43)Date of publication of application : 18.04.2000

(51)Int.CI.

C30B 29/06  
H01L 21/20  
H01L 21/322

(21)Application number : 11-084916

(71)Applicant : NIPPON STEEL CORP  
NSC ELECTRON CORP

(22)Date of filing : 26.03.1999

(72)Inventor : HASEBE MASAMI  
NAKAI KATSUHIKO  
IWASAKI TOSHIO  
OHASHI WATARU  
IKARI ATSUSHI

(30)Priority

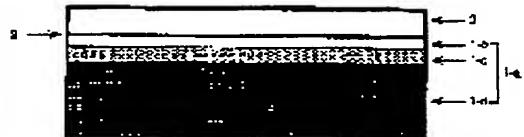
Priority number : 10224829 Priority date : 07.08.1998 Priority country : JP

## (54) SILICON SEMICONDUCTOR SUBSTRATE AND ITS PRODUCTION

(57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the occurrence defects as much as possible in an epitaxial layer and in the region near the interface of the epitaxial layer and a substrate wafer and to add excellent gettering characteristics, by using a silicon wafer containing a specified amt. of nitrogen as the substrate wafer and depositing a silicon single crystal layer by epitaxial method on the surface of the wafer.

**SOLUTION:** An amt. of nitrogen in the substrate wafer is specified to  $1.0 \times 10^{12}$  to  $1.0 \times 10^{16}$  atoms/cm<sup>3</sup>. The silicon wafer 1a satisfying the above condition is produced by Czochralski (CZ) method or magnetic field-applied CZ method by using fused silicon containing  $1.0 \times 10^{16}$  to  $1.5 \times 10^{19}$  atoms/cm<sup>3</sup> nitrogen. By incorporating a specified amt. of nitrogen, the density of point defects during growing crystals and aggregation behavior of the crystals are changed to suppress production of minute defects or void defects in the epitaxial layer 3 and in the region 2, 1b near the interface. Further, proper crystal defects are produced in an IG layer 1d to enhance the gettering ability.



## LEGAL STATUS

- [Date of request for examination] 23.04.2002  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-109396  
(P2000-109396A)

(43)公開日 平成12年4月18日(2000.4.18)

(51)Int.Cl.  
C 30 B 29/06  
H 01 L 21/20  
21/322

識別記号  
502

F I  
C 30 B 29/06  
H 01 L 21/20  
21/322

A  
502 H  
Y

マーク(参考)

審査請求 未請求 請求項の数12 O.L (全 26 頁)

(21)出願番号 特願平11-84916  
(22)出願日 平成11年3月26日(1999.3.26)  
(31)優先権主張番号 特願平10-224829  
(32)優先日 平成10年8月7日(1998.8.7)  
(33)優先権主張国 日本 (JP)

(71)出願人 000006655  
新日本製鐵株式会社  
東京都千代田区大手町2丁目6番3号  
(71)出願人 000111096  
ニッテツ電子株式会社  
東京都中央区八丁堀三丁目11番12号  
(72)発明者 長谷部 政美  
神奈川県川崎市中原区井田3-35-1 新  
日本製鐵株式会社技術開発本部内  
(74)代理人 100072349  
弁理士 八田 幹雄 (外3名)

最終頁に続く

(54)【発明の名称】シリコン半導体基板及びその製造方法

(57)【要約】

【課題】エピタキシャル層内及びエピタキシャル層とサブストレートウェハの界面付近の欠陥発生が極めて少なく、デバイス製造熱処理工程を経てもエピタキシャル層への結晶欠陥の発生を防止し、又、ウェハ内部折出物が十分あるためデバイスプロセス熱処理におけるゲッタリング能力に優れたシリコン半導体基板及びその製造方法を提供する。

【解決手段】特定の窒素濃度や欠陥密度を含有するシリコンウェハをサブストレートウェハとし、その表面にエピタキシャル層を堆積してなるシリコン半導体基板とすることにより、上記目的を達成できる。このシリコン半導体基板は、CZ法により窒素濃度や結晶育成中の温度履歴を制御して育成した単結晶をウェハ加工し、さらにエピタキシャル層を堆積成長することで製造できる。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 窒素含有量が $1.0 \times 10^{13}$  atoms/cm<sup>3</sup>以上 $1.0 \times 10^{16}$  atoms/cm<sup>3</sup>以下であるシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積してなることを特徴とするシリコン半導体基板。

【請求項2】 酸素含有量が $1.0 \times 10^{17}$  atoms/cm<sup>3</sup>以上のシリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ $1\mu\text{m}$ までの領域において、直径換算で $0.1\mu\text{m}$ 以上の結晶欠陥の密度が $5 \times 10^4$ 個/cm<sup>3</sup>以下であることを特徴とするシリコン半導体基板。

【請求項3】 酸素含有量が $1.0 \times 10^{17}$  atoms/cm<sup>3</sup>以上シリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ $1\mu\text{m}$ までの領域において、直径換算で $20\text{nm}$ 以上の結晶欠陥の密度が $5 \times 10^4$ 個/cm<sup>3</sup>以下であることを特徴とするシリコン半導体基板。

【請求項4】 少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ $1\mu\text{m}$ までの領域において、さらに直径換算で $0.1\mu\text{m}$ 以上の結晶欠陥の密度が $5 \times 10^4$ 個/cm<sup>3</sup>以下である請求項3記載のシリコン半導体基板。

【請求項5】 前記サブストレートウェハがさらに窒素を $1.0 \times 10^{13}$  atoms/cm<sup>3</sup>以上 $1.0 \times 10^{16}$  atoms/cm<sup>3</sup>以下含有してなる請求項2～4に記載のシリコン半導体基板。

【請求項6】 前記サブストレートウェハの厚み中心において、直径換算で $20\text{nm}$ 以上の結晶欠陥密度が $1 \times 10^4$ 個/cm<sup>3</sup>以上である請求項1～5に記載のシリコン半導体基板。

【請求項7】  $1.0 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $1.5 \times 10^{19}$  atoms/cm<sup>3</sup>以下の窒素を含有するシリコン融液を用いて育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積させることを特徴とするシリコン半導体基板の製造方法。

【請求項8】 チョクラルスキー法又は磁場印加チョクラルスキー法により、凝固温度から $800^\circ\text{C}$ の結晶温度範囲を $2.0^\circ\text{C}/\text{分}$ 以上の冷却速度で育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法。

【請求項9】 チョクラルスキー法又は磁場印加チョクラルスキー法により $800^\circ\text{C}$ ～ $400^\circ\text{C}$ の結晶温度範囲を $1.0^\circ\text{C}/\text{分}$ 以上の冷却速度で育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法。

【請求項10】 チョ克拉ルスキー法又は磁場印加チョ克拉ルスキー法により育成したシリコン単結晶であつて、結晶引上育成中のシリコン単結晶が凝固温度から $800^\circ\text{C}$ の結晶温度範囲を $2.0^\circ\text{C}/\text{分}$ 以上の冷却速度で育成し、引き続き $800^\circ\text{C}$ ～ $400^\circ\text{C}$ の結晶温度範囲を $1.0^\circ\text{C}/\text{分}$ 以上の冷却速度で育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法。

【請求項11】  $1.0 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $1.5 \times 10^{19}$  atoms/cm<sup>3</sup>以下の窒素を含有するシリコン融液を用いてシリコン単結晶を育成する請求項8～10に記載のシリコン半導体基板の製造方法。

【請求項12】 チョ克拉ルスキー法または磁場印加チョ克拉ルスキー法により育成したシリコン単結晶から得たシリコンウェハを $1000^\circ\text{C}$ 以上 $1300^\circ\text{C}$ 以下の温度で5分以上熱処理をしたものサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積する請求項7～11に記載のシリコン半導体基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はエピタキシャルシリコン半導体基板の品質改善に関し、特に、エピタキシャル層およびエピタキシャル層とそのサブストレートウェハの界面付近の欠陥を除去し、エピタキシャル基板上に作成するデバイスの歩留りを向上させるエピタキシャル半導体基板及びその製造方法に関する。

## 【0002】

【従来の技術】 近年のデバイス集積度の向上にともないシリコン半導体基板表面および表層付近に基板製造直後から存在する微小欠陥やデバイス製造過程で誘起される結晶欠陥がデバイス形成時のデバイスバターン不良を起こしたり、デバイスの動作不良を引き起こし、デバイスの製造歩留りを低下させることが知られている。このデバイス歩留り低下の原因としては、基板製造直後の基板表面に $0.1\mu\text{m}$ 程度のピットとして検出されるCOP (Crystal Originated ParticlesあるいはCrystal Originated Pits) と呼ばれる欠陥が注目されている。これはシリコン半導体基板をアンモニア-過酸化水素の混合液で洗浄した際に、基板表面に生じる結晶欠陥を原因としたピットを指し、基板表面のパーティクルを計数する

検査装置によりこのピットが測定されるため、このように呼ばれる。COPとはこのような測定方法で検出される欠陥全般を総称するものであるが、通常のチョクラルスキー(CZ)法もしくは磁場を印加したCZ法により育成されたシリコン単結晶では、この欠陥の実体は結晶中の八面体様の空隙(以下、空孔欠陥と称す)と考えられており、これがデバイスのバターン不良や構造的な破壊を引き起こすと推定されている。また、COP以外にも酸素析出物、転位ループ、および積層欠陥等の各種結晶欠陥も基板表面近傍に形成させないシリコン半導体基板として、CZ法や磁場印加CZ法により育成したシリコン単結晶からスライス、鏡面研磨したウェハ上に、化学気相成長法等によりシリコン単結晶層をエピタキシャル成長させたエピタキシャルシリコン基板が注目され、使用されるようになってきている。

【0003】エピタキシャルシリコン基板は、上述したようにシリコンウェハ上に酸素や欠陥をほとんど含まないような単結晶層を新たに堆積する基板であるが、エピタキシャル層堆積時にウェハの表面状態(COP等の空孔欠陥や酸素析出物に起因するピットやヒルロックと呼ばれる微小丘状の欠陥、さらには積層欠陥等の存在)によりエピタキシャル層内に欠陥を発生させたり、デバイス製造過程においてウェハ表面近傍に存在する空孔欠陥や酸素析出物に起因してエピタキシャル層内に欠陥を誘起したり、ウェハ表面近傍の空孔欠陥や酸素不純物がエピタキシャル層内に拡散して新たな欠陥を形成する等の問題が生じていた。このため、高品質なエピタキシャルシリコン基板を得るために、エピタキシャル層を堆積する元ウェハ自体の表面およびその近傍での無欠陥化技術が重要であるが、ウェハ自体にはデバイスプロセス中の各種汚染に対する耐性としてのゲッタリング能力も要求されており、ウェハ中心部にはゲッタリング能力を有する欠陥を適度に作り込むことも必要である。また、単結晶育成からエピタキシャル層付与までの製造工程が長く、品質管理も厳格に行うため、基板の製造コストが増加する傾向にあるが、いかに高品質のエピタキシャルシリコン半導体基板を低成本で製造できるようにするかという点も重要な課題である。

【0004】そこで、エピタキシャル基板に用いられるシリコンウェハについて、表面近傍の欠陥低減技術やゲッタリング能力向上のためのウェハ内部の欠陥作り込み技術として、これまでにいくつかの提案がなされている。例えば、特開平5-283350号公報には、イントリンシックゲッタリング(IG)処理されたウェハに対してシリコン単結晶薄膜を気相成長前に水素を含む雰囲気内で熱処理を施すことにより、ウェハ基板からシリコン単結晶薄膜に生じる欠陥発生起点を消滅させ、その後気相成長により薄膜形成するエピタキシャルシリコン半導体ウェハの製造方法が提案されている。また、特開平8-250506号公報には、単結晶シリコンインゴ

ットから形成したウェハを用い、IG効果を付与するためのIG処理工程と、酸素析出物(BMD)密度を制御するための温度保持工程と、ウェハ表面にエピタキシャル処理工程を行うことによって、BMD密度調整領域をウェハ内部に形成したシリコンエピタキシャルウェハが提案されている。さらに、特開平9-199507号公報には、特定の熱処理により、表層には無欠陥(DZ)層を有する場合はLSI形成領域より深層にSiO<sub>2</sub>析出物を所定量含有させ、後工程でエピタキシャル成長する場合は表面よりほぼ均一にSiO<sub>2</sub>析出物を所定量含有させることにより、汚染重金属のIG能力が高く、基板の反りを低減し強度の優れた半導体基板が提案されている。これらの技術では、各種熱処理を施しているものの、ウェハ自体のIG効果を確保することを最優先しているため、エピタキシャル層を堆積するサブストレートウェハ表面および表層付近に存在しているエピタキシャル成長に有害な結晶欠陥を完全には消去しきれず、エピタキシャル層内に欠陥が残留したり、デバイス製造工程で欠陥が誘起する問題を抱えるとともに、熱処理工程が複雑で生産性を大幅に低下させ、製造コスト増加させるという問題点があった。また、特開平8-162406号公報には、あらかじめ $5 \times 10^6$ 個/cm<sup>3</sup>以上の高密度な結晶欠陥を含むサブストレートシリコンウェハにエピタキシャル成長させ、基板内部にゲッタリング層を備えたウェハが提案されている。しかしながら、本方法においても、IG効果を優先しているため、サブストレートウェハ表面および表層付近に存在しているエピタキシャル成長に有害な結晶欠陥を完全には消去しきれず、エピタキシャル層内に欠陥が残留したり、デバイス製造工程で欠陥が誘起する問題があった。

【0005】一方、シリコンウェハ表面のCOPを消滅もしくは低減させる技術として、単結晶育成の際の結晶成長速度を0.8mm/分以下とする技術(特開平2-267195号公報)、単結晶の冷却挙動の制御、特に単結晶が約1200°Cから1000°Cの温度範囲を通過する時間を制御する技術(特開平8-12493号公報、特開平8-91983号公報、特開平9-227289号公報)が提案されている。低成長速度での結晶育成では、空孔欠陥を作る要素である空孔型点欠陥(vacancy)の結晶成長界面での導入量を減少させ、また単結晶の冷却速度を緩やかなものとすることにより、冷却中に発生する過飽和な空孔型点欠陥(vacancy)の発生を抑えるものであるが、この方法では、成長速度の低下による生産性の低下を招くとともに、転位ループ等の別種の結晶欠陥を発生させるという問題があった。また、結晶冷却条件の制御技術では、生産性の点での問題はないものの、COP密度の低減は概ね $10^5$ 個/cm<sup>3</sup>程度が限界で、更なるCOPの低減、例えば $5 \times 10^4$ 個/cm<sup>3</sup>以下の密度を達成することは困難であった。

【0006】また、単結晶育成時にCOPを低減させる

5

技術以外にも、単結晶インゴットからスライス・研磨してウェハとした後の熱処理により、基板表面のCOPを低減・消滅させる技術も提案されている。例えば、特開昭5.9-20264号公報では、水素雰囲気中で熱処理する技術、即ち、水素雰囲気を用いることにより、最表の面のCOPを消滅させ、かつ表面から0.5 μm以内のCOP密度を10<sup>1</sup>個/cm<sup>2</sup>以下とすることが開示されている。しかしながら、我々の実験では、このようないかで、表面シリコンウェハにエピタキシャル層を堆積しても、表面からの深さが0.5 μm以内の欠陥制御では不十分で、エピタキシャル層やエピタキシャル層とシリコンウェハの界面近傍に結晶欠陥が残したり、デバイス製造工程の熱処理によってエピタキシャル層内に結晶欠陥を発生させたりする場合があったり、逆に、水素熱処理によつてシリコンウェハ内部の結晶欠陥を過剰に消滅させ、ウエハのIG特性を著しく低下させると言う問題を有することが判った。

【0007】シリコン単結晶に窒素を添加することについて、添加方法に関しては特開昭6.0-251190号公報等が知られている。フロートゾーン(FZ)単結晶における窒素添加効果として、特開昭5.7-17497における結晶強度の増加が知られている。また、特開平5-294780号公報には、シリコン中に添加した窒素が点欠陥の一種である空孔と相互に作用又は結合して、空孔が関与したクラスター(空孔欠陥)の生成を抑制し、空孔欠陥が原因と考えられているエッチビットの発生が抑制されることが開示されている。しかし、K. K. akumoto, et al.; Proceedings of The 2nd International Symposium on Advanced Science and Technology of Silicon Materials, p. 437~442 (1996)に示されるように、窒素と空孔とが結合した欠陥が多くなるとシリコン結晶中に電子や正孔の発生あるいは再結合中心となり電気特性を変化させ、さらに、酸素を含むシリコン基板においては窒素が酸素と複合欠陥を形成して基板の抵抗を変化させたり、さらに熱処理により積層欠陥が起き易くなることが知られている。

【0008】

【発明が解決しようとする課題】このように従来技術では一長一短があり、近年の半導体デバイスの一層の微細化、高集積化に伴なう要求特性に答えられる半導体基板化、シリコン基板の表面近傍の結晶欠陥を消去し、として、シリコン基板の表面近傍の結晶欠陥を消去し、かつ十分なIG能力を基板内部に有するような高品質の半導体基板を低成本で供給することが要望されている。

【0009】そこで、本発明は、上述した従来技術における問題点を解決し、エピタキシャル層およびエピタキシャル層とサブストレートウェハの界面近傍領域の欠陥発生を極めて少なく、さらにIG特性も付与した高品質で低成本なエピタキシャルシリコン半導体基板及びその製造方法を提供することを目的とする。

(4)

## [0.010]

【課題を解決するための手段】エピタキシャルシリコン半導体基板で発生する欠陥について、デバイス製造工程、エピタキシャル成長工程、さらにはシリコンウェハ製造工程にまで遡って、実験並びに理論考察を鋭意検討した結果、新たな知見を得、本発明を完成させたものである。即ち、本発明は、(1) 窒素含有量が1.0×10<sup>13</sup> atoms/cm<sup>3</sup>以上1.0×10<sup>16</sup> atoms/cm<sup>3</sup>以下のシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積してなることを特徴とするシリコン半導体基板、(2) 酸素含有量が1.0×10<sup>17</sup> atoms/cm<sup>3</sup>以上のシリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ1μmまでの領域において、直径換算で0.1μm以上の結晶欠陥の密度が5×10<sup>1</sup>個/cm<sup>2</sup>以下であることを特徴とするシリコン半導体基板、(3) 酸素含有量が1.0×10<sup>17</sup> atoms/cm<sup>3</sup>以上シリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ1μmまでの領域において、直径換算で20nm以上の結晶欠陥の密度が5×10<sup>1</sup>個/cm<sup>2</sup>以下であることを特徴とするシリコン半導体基板、(4) 少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ1μmまでの領域において、さらに直径換算で0.1μm以上の結晶欠陥の密度が5×10<sup>1</sup>個/cm<sup>2</sup>以下である(3)記載のシリコン半導体基板、(5) 前記サブストレートウェハがさらに窒素を1.0×10<sup>13</sup> atoms/cm<sup>3</sup>以上1.0×10<sup>16</sup> atoms/cm<sup>3</sup>以下含有してなる(2)～(4)に記載のシリコン半導体基板、(6) 前記サブストレートウェハの厚み中心において、直径換算で20nm以上の結晶欠陥密度が1×10<sup>10</sup>個/cm<sup>2</sup>以上である(1)～(5)に記載のシリコン半導体基板、(7) 1.0×10<sup>16</sup> atoms/cm<sup>3</sup>以上1.5×10<sup>19</sup> atoms/cm<sup>3</sup>以下の窒素を含有するシリコン融液を用いて育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積せることを特徴とするシリコン半導体基板の製造方法、(8) チョクラルスキー法又は磁場印加チョクラルスキー法により、凝固温度から800°Cの結晶温度範囲を2.0°C/分以上の冷却速度で育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方

50

法、(9) チョクラルスキー法又は磁場印加チョクラルスキー法により800°C~400°Cの結晶温度範囲を1.0°C/分以上の冷却速度で育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法、(10) チョ克拉ルスキー法又は磁場印加チョクラルスキー法により育成したシリコン単結晶であって、結晶引上育成中のシリコン単結晶が凝固温度から800°Cの結晶温度範囲を2.0°C/分以上の冷却速度で育成し、引き続き800°C~400°Cの結晶温度範囲を1.0°C/分以上の冷却速度で育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法、

(11)  $1.0 \times 10^{16} \text{ atoms/cm}^3$  以上  $1.5 \times 10^{19} \text{ atoms/cm}^3$  以下の窒素を含有するシリコン融液を用いてシリコン単結晶を育成する(8)~(10)に記載のシリコン半導体基板の製造方法、(12) チョ克拉ルスキー法または磁場印加チョ克拉ルスキー法により育成したシリコン単結晶から得たシリコンウェハを1000°C以上1300°C以下の温度で5分以上熱処理をしたものとサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積する(7)~(11)に記載のシリコン半導体基板の製造方法、である。

## 【0011】

【発明の実施の形態】本発明を以下に詳細に説明する。  
【0012】先ず、第1の発明は、窒素含有量が $1.0 \times 10^{13} \text{ atoms/cm}^3$  以上  $1.0 \times 10^{16} \text{ atoms/cm}^3$  以下のシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板である。

【0013】シリコンウェハの電気的特性の変化やデバイス熱処理時の積層欠陥などの欠陥発生を起こすことなく、ウェハ表面の微小ビットの発生を抑制するために、シリコンウェハ中の窒素含有量を $1.0 \times 10^{13} \text{ atoms/cm}^3$  以上  $1.0 \times 10^{16} \text{ atoms/cm}^3$  以下とする必要がある。そして、このようなシリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積することにより、エピタキシャル層中やエピタキシャル層と該サブストレートウェハの界面近傍での微小欠陥や空孔欠陥の発生を抑制するとともに、ウェハ内部に適度な結晶欠陥を有しゲッタリング能力を増強するシリコン半導体基板となる。シリコンウェハ中の窒素含有量が、 $1.0 \times 10^{13} \text{ atoms/cm}^3$  未満ではウェハ表面の微小ビットの発生を抑制できず、 $1.0 \times 10^{16} \text{ atoms/cm}^3$  超では、キャリアライフタイムや抵抗率などの電気的特性が変化したり積層欠陥が発生したりして、エピタキシャル層を堆積しても良好なシリコン半導体基板を得ることができない。なお、ウェハ中の窒

素含有量は、赤外吸収あるいはS I M S (Secondary Ion Mass Spectroscopy: 2次イオン質量分析装置) を用いることにより測定できる。赤外吸収での測定は、Applied Physics Letter 47号, p 488, 1985に記載の手法に従い、 $963 \text{ cm}^{-1}$  の波数での吸収ピークから換算係数 $1.83 \times 10^{17} \text{ atoms/cm}^3$  を用いることにより定量できる。

【0014】第2の発明は、酸素含有量が $1.0 \times 10^{17} \text{ atoms/cm}^3$  以上のシリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ $1 \mu\text{m}$ までの領域において、直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の密度が $5 \times 10^4$  個/ $\text{cm}^3$  以下であることを特徴とするシリコン半導体基板である。

【0015】酸素濃度を $1.0 \times 10^{17} \text{ atoms/cm}^3$  以上とするシリコン基板の製造方法は、通常は石英ルツボにより原料シリコン融液を支持し結晶成長させるCZ法や磁場印加CZ法により製造可能である。すなわち、原料シリコン融液を支持している石英ルツボから酸素がシリコン融液中に溶解し単結晶凝固の際に結晶中に取り込まれる。所望の酸素濃度は、ルツボ回転数や融液加熱条件、雰囲気ガス流量や引上炉内圧力、あるいは磁場印加強度で調整可能である。シリコンウェハの酸素含有量が $1.0 \times 10^{17} \text{ atoms/cm}^3$  未満ではシリコンウェハの機械的強度やウェハ内部でのIG能力が低下することから、酸素含有量が $1.0 \times 10^{17} \text{ atoms/cm}^3$  以上のシリコンウェハが必要である。ところで、シリコンウェハ中に酸素を含有すると、各種結晶欠陥が誘起されやすくなる。そこで、エピタキシャル層の品質に及ぼすシリコンウェハ中の結晶欠陥の影響を調べたところ、エピタキシャル層が堆積されるサブストレートとして用いられるシリコンウェハの表面から深さ $1 \mu\text{m}$ までの領域での結晶欠陥の存在形態が重要であることを見出した。直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥が多量に存在すると、エピタキシャル堆積工程やデバイス製造工程の熱処理工程を経ても残留し、エピタキシャル層内に欠陥を発生させる起点となり易いものである。サイズが $0.1 \mu\text{m}$ 以上の結晶欠陥は主として空孔欠陥であるが、従来のシリコンウェハでは該空孔欠陥は、 $10^6$  個/ $\text{cm}^3$  程度かそれ以上存在していた。ところが、前記領域での $0.1 \mu\text{m}$ 以上の結晶欠陥の密度が $5 \times 10^4$  個/ $\text{cm}^3$  以下であれば、エピタキシャル堆積工程における前熱処理としての熱処理工程で上記欠陥を収縮、拡散消滅して無害化でき、エピタキシャル層内に欠陥を発生させないシリコン半導体基板を得ることができる。前記領域で $0.1 \mu\text{m}$ 以上の結晶欠陥密度が $5 \times 10^4$  個/ $\text{cm}^3$  超では、エピタキシャル層内に欠陥を発生させ、特にエピタキシャル層が $1 \mu\text{m}$ 程度と薄膜の場合、デバイス製造工程での

パターン不良の原因となったり、酸化膜絶縁破壊特性や素子分離特性等に重大な影響を及ぼし、歩留り低下等の問題を生じる。

【0016】第3の発明は酸素含有量が $1.0 \times 10^{17}$  atoms/cm<sup>3</sup>以上のシリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ1μmまでの領域において、直径換算で20nm以上の結晶欠陥の密度が $5 \times 10^5$ 個/cm<sup>3</sup>以下であることを特徴とするシリコン半導体基板である。

【0017】直径換算で20nm以上の結晶欠陥は、前述の空孔欠陥の微小なもの他に、微小酸素析出物も含まれる。このような欠陥が大量にシリコンウェハ表面及び表層領域に存在すると、エピタキシャル成長時にサブストレートウェハとして用いられるシリコンウェハからエピタキシャル層内に該結晶欠陥が伝播、転写されたり、あるいは該結晶欠陥を起点にエピタキシャル層内に新たな欠陥が誘起されたりする原因となる。従来のサブストレートウェハとして用いられるシリコンウェハではこのような微小欠陥は、 $10^7$ 個/cm<sup>3</sup>程度かそれ以上存在していたが、少なくともサブストレートウェハとして用いられるシリコンウェハ表面から深さ1μmまでの領域において、直径換算で20nm以上の結晶欠陥の密度が $5 \times 10^5$ 個/cm<sup>3</sup>以下であれば、エピタキシャル堆積工程における前処理としての熱処理工程で上記欠陥を分解消滅して無害化でき、エピタキシャル層内に新たな欠陥を誘起させないシリコン半導体基板を得ることができる。前記領域において、直径換算で20nm以上の結晶欠陥の密度が $5 \times 10^5$ 個/cm<sup>3</sup>超では、熱処理で分解する欠陥量が多すぎるため、分解の結果生成する原子空孔や酸素不純物がエピタキシャル層内に拡散残存し、そのためデバイス製造工程における熱処理時に新たな結晶欠陥をエピタキシャル層内に誘起、形成してデバイス製造歩留りの低下原因となる。

【0018】さらに、第2の発明と第3の発明を組み合わせた第4の発明、すなわち、酸素含有量が $1.0 \times 10^{17}$  atoms/cm<sup>3</sup>以上のシリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ1μmまでの領域において、直径換算で0.1μm以上の結晶欠陥の密度が $5 \times 10^5$ 個/cm<sup>3</sup>以下で、かつ直径換算で20nm以上の結晶欠陥の密度が $5 \times 10^5$ 個/cm<sup>3</sup>以下であることを特徴とする半導体基板とすることにより、欠陥の発生や誘起が起こらない無欠陥エピタキシャル層を有するシリコン半導体基板とすることができます。

【0019】また、第5の発明は第2～4の発明のエピタキシャル法により単結晶層を堆積するサブストレートウェハとして用いられるシリコンウェハ中にさらに窒素を $1.0 \times 10^{13}$ atoms/cm<sup>3</sup>以上 $1.0 \times 10^{16}$ atoms/cm<sup>3</sup>以下含有してなるシリコン半導体基板である。

【0020】第1の発明で説明したようにシリコン単結晶中の窒素は、所定量含有させることにより、単結晶育成時の点欠陥濃度及び点欠陥凝集挙動を変化させる作用を有し、単結晶中の空孔欠陥形成を抑制する効果と基板強度の向上効果を発現するものである。従って、このような窒素含有シリコンウェハをエピタキシャル法により単結晶を堆積するサブストレートウェハとして用いることで、上述したサブストレートシリコンウェハ中の各種欠陥を低減しやすくして、より完全な無欠陥エピタキシャル層を有するシリコン半導体基板を提供できる。

【0021】さらに、第6の発明は、第1～5の発明でのサブストレートシリコンウェハの厚み中心領域において、直径換算で20nm以上の結晶欠陥の密度が $1 \times 10^5$ 個/cm<sup>3</sup>以上であるシリコン半導体基板である。

20 なお、該サブストレートシリコンウェハの厚み中心領域とは、該サブストレートウェハ表面から1μmより深い、好ましくは20μm以上内部の領域を指すものである。該サブストレートウェハ内部領域に直径換算で20nm以上の結晶欠陥を $1 \times 10^5$ 個/cm<sup>3</sup>以上存在させることにより、デバイスの高集積化に伴うプロセス汚染の増加に対して有効なゲッタリング能力を効果的に付与することができ、デバイス製造歩留りの良好なシリコン半導体基板を提供することができる。

【0022】なお、上記した第1～第6の発明は、シリコンウェハの比抵抗の値の如何に関わらず成立するものであり、上記に示したようなそれぞれの条件を満たすことによって、上記所望の発揮できるものである。

【0023】以上のようなシリコン半導体基板の製造方法としては、CZ法、又は磁場印加CZ法により上述の条件を満足する基板が得られる製造方法で良く、特に限定するものではないが、以下に述べる製造方法であれば、生産性良く効率的に本発明のシリコン半導体基板を製造することができる。

【0024】第7の発明は、 $1.0 \times 10^{16}$ atoms/cm<sup>3</sup>以上 $1.5 \times 10^{19}$ atoms/cm<sup>3</sup>以下の窒素を含有するシリコン融液を用いてCZ法又は磁場印加CZ法により育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積するシリコン半導体基板の製造方法である。この方法の実施においては $1.0 \times 10^{16}$ atoms/cm<sup>3</sup>以上 $1.5 \times 10^{19}$ atoms/cm<sup>3</sup>以下の窒素を含有するシリコン融液を用いてCZ法又は磁場印加CZ法により育成したシリコン単結晶インゴットをスライス、鏡面研磨して得られるシリコンウェハをサブストレートウェハとしその表面にシリコン単結晶層をエピタキ

シャル成長させる。シリコンの単結晶成長の際の窒素を添加は、原料溶解中に窒素ガスを流す方法、あるいは窒化物をCVD法等によって堆積させたシリコンウェハを原料溶解中に混入させる方法等がある。凝固後の結晶中に取り込まれる窒素の偏析係数は文献 W. Zulehner and D. Huber; Crystals 8-Growth, Properties, and Applications-, p.28 (Springer-Verlag, New York, 1982) に示されるように  $7 \times 10^{-4}$  であり、前述の窒素濃度の融液を用いて結晶育成することにより窒素を  $5.0 \times 10^{13} \text{ atoms/cm}^3$  以上  $1.0 \times 10^{16} \text{ atoms/cm}^3$  以下含有するシリコンウェハの製造が可能となる。また、エピタキシャル成長法は、気相成長装置で行うが、通常、気相成長前に、水素ガス雰囲気内で所定（一般には  $900^\circ\text{C}$  から  $1200^\circ\text{C}$  の範囲内の一定温度）の温度域まで昇温し、引き続き塩化水素を含むガス等によるエッチングを数分行い、表面コンタミネーション除去及びウェハ表面の活性化を行った後、シンラン系ガスを用いてウェハ表面上にエピタキシャル薄膜を成長せるものである。

【0025】窒素を  $1.0 \times 10^{13} \text{ atoms/cm}^3$  以上  $1.0 \times 10^{16} \text{ atoms/cm}^3$  以下の濃度で含ませるように成長させたシリコン結晶は、第1の発明で説明したとおり、窒素が結晶育成時の点欠陥濃度及び点欠陥の凝集挙動を変化させ、結晶中にCOPに代表される  $0.1 \mu\text{m}$  程度かそれ以上の空孔欠陥を形成させない。通常、結晶成長時に結晶温度が  $1150^\circ\text{C} \sim 1050^\circ\text{C}$  程度の範囲の比較的高温で空孔欠陥を形成するが、窒素を所定量含有させると窒素が原子空孔の凝集を抑制することで該空孔欠陥を低減化する。一方、窒素は  $1000^\circ\text{C} \sim 450^\circ\text{C}$  の低温領域での酸素析出物の核形成を助長し、高密度に微細で分散化させた酸素析出物を発生させる。特に、窒素含有のシリコンウェハ中の微小酸素析出物の形態は、高温で不安定な析出物を形成し、前述のエピタキシャル成長工程における前熱処理工程である水素処理工程やエピタキシャル単結晶堆積工程において、酸素の外方拡散効果によってシリコンウェハ表面領域に存在するものは容易に分解・収縮する。その結果、サイズが直径換算で  $20 \text{ nm}$  以上の微小欠陥が  $5 \times 10^3$  個/ $\text{cm}^3$  以下であるような領域がエピタキシャル層のみならずエピタキシャル層堆積前のサブストレートシリコンウェハ表面から少なくとも深さ  $1 \mu\text{m}$ までの領域において容易に形成する。一方、基板内部の微細な酸素析出物は、基板表面近傍に存在するものとは異なり、酸素が外方拡散して分解消滅することなくエピタキシャル層堆積工程を経ても完全には溶解消滅せず  $1 \times 10^6$  個/ $\text{cm}^3$  以上で残留し、デバイス製造工程の熱処理において成長し、IG作用に有効な結晶欠陥を誘起させ、従来に比べて顕著にIG効果を増強させたシリコン半導体基板を製造することが可能となる。

【0026】第8の発明は、CZ法又は磁場印加CZ法によりシリコン単結晶引上育成中にシリコン単結晶を凝

固温度から  $800^\circ\text{C}$  の結晶温度範囲を  $2.0^\circ\text{C}/\text{分}$  以上の冷却速度で冷却し製造したシリコンウェハをエピタキシャル単結晶成長用サブストレートウェハとして使用する方法である。

【0027】シリコン単結晶引上成長中において、凝固温度から  $800^\circ\text{C}$  の温度領域を  $2.0^\circ\text{C}/\text{分}$  以上で急冷させることは、点欠陥の凝集を抑制し空孔欠陥を低減化させる。また、当該温度領域における酸素析出物の核形成が抑制し、すなわち高温で安定な酸素析出物の発生を抑制する。その結果、エピタキシャル成長工程においてサブストレートシリコンウェハ表層領域（すなわち、エピタキシャル層とサブストレートウェハの界面領域）にはサイズは直径換算で  $0.1 \mu\text{m}$  以上の空孔欠陥を低減化させるとともにサイズが  $20 \text{ nm}$  以上の微小欠陥も低減化させることが可能である。

【0028】また、第9の発明は、CZ法又は磁場印加CZ法によりシリコン単結晶引上育成中にシリコン単結晶を  $800^\circ\text{C}$  から  $400^\circ\text{C}$  の結晶温度範囲を  $1.0^\circ\text{C}/\text{分}$  以上の冷却速度で冷却し製造したシリコンウェハをエピタキシャル単結晶成長用サブストレートウェハとして使用する方法である。

【0029】シリコン単結晶引上成長中において、 $800^\circ\text{C}$  から  $400^\circ\text{C}$  の温度領域を  $1.0^\circ\text{C}/\text{分}$  以上で急冷させることは、空孔欠陥については空孔欠陥が内部酸化され安定な酸化物に変化することを防止し、その結果、空孔欠陥は熱処理に対して不安定化させる。一方、酸素析出物は核形成速度は抑制されるが核密度を増加させ微細・分散化を促進する。このようにして製造したシリコンウェハをサブストレートウェハとして使用しエピタキシャル成長することによって、エピタキシャル成長工程の高温処理工程においてシリコンウェハ表層領域（すなわち、エピタキシャル層とサブストレートウェハの界面領域）にはサイズは直径換算で  $0.1 \mu\text{m}$  以上の空孔欠陥を低減化させるとともにサイズが  $20 \text{ nm}$  以上の微小欠陥も低減化させ、一方、シリコン基板内部にはIG能力を増強させる高密度な微小欠陥を形成するシリコン半導体基板を製造することができる。

【0030】第10の発明は、凝固温度から  $800^\circ\text{C}$  の温度領域の急冷と  $800^\circ\text{C}$  から  $400^\circ\text{C}$  の急冷の両方の効果を組み合わせたもので、サブストレートシリコンウェハ表層領域（すなわち、エピタキシャル層とサブストレートウェハの界面領域）においては空孔欠陥や酸素析出物をさらに微細化・不安定化させエピタキシャル工程において低減効果を示すことになり、一方、サブストレートシリコンウェハ内部にはデバイス製造工程においてIG効果を増強する高密度な結晶欠陥を発生させることになる。単結晶シリコンインゴットを引上成長中に冷却効果を高めることは、通常、凝固界面での冷却能力を高めることになり結晶成長速度を増加し結晶生産性が向上する効果もたらし、低コスト化させる効果もある。

【0031】第11の発明は、窒素添加と引上成長中のシリコン結晶の冷却条件を変化させる技術を組み合わせたサブストレートシリコンウェハの製造方法であり、窒素添加の効果と引上中の結晶急冷効果の相乗効果により、より顕著にエピタキシャル成長前のサブストレートシリコンウェハ表面の結晶欠陥を消失しやすくするとともにサブストレートシリコンウェハ内部の結晶欠陥密度をさらに増加させる効果をもたらすエピタキシャルシリコン基板製造方法である。

【0032】第12の発明は、上記に述べてきた窒素添加サブストレートウェハや窒素および酸素添加サブストレートウェハ、さらには結晶引上中の結晶冷却条件を変化させたサブストレートウェハ、およびそれらの組合せにより得られるサブストレートウェハに対し、より完全にサブストレートウェハ表面の無欠陥化を促進するためエピタキシャル成長前に高温熱処理を施し、表面と内部の結晶欠陥密度の差を顕著にさせる方法である。熱処理温度は1000°C以上1300°C以下、望ましくは1100°C以上1200°C以下が適当である。温度が低いと酸素や空孔の外方拡散に多大の時間を要し、温度が高すぎると結晶中の熱平衡酸素固溶度あるいは熱平衡空孔固溶度が上がり酸素や空孔の外方拡散が起きにくくなる。また、1150°C以上では高温になればなるほどサブストレートウェハ表面の面荒れの問題が生じる。また一般的に、熱処理炉を高温で稼働させる際には予期しない炉体の汚染が生じやすくなるため、その危険性を減少させるためには熱処理温度を低くできることが望ましい。従って、エピタキシャル成長前のサブストレートウェハ表面領域に必要な無欠陥層の深さおよび経済的な観点からの熱処理時間の許容時間を勘案しながら、上記の温度範囲でできるだけ低い温度で熱処理することが望ましい。

【0033】われわれの検討結果に基づくと、第7～11の発明によるエピタキシャル法による単結晶層成長用のサブストレートシリコンウェハに対しては、前述の温度条件で5分以上熱処理することではなく完全に無欠陥な領域がサブストレートシリコンウェハ表層部に形成できる。熱処理方法としては、酸化性雰囲気でもよいが、エピタキシャル層堆積のために不要な酸化膜の形成を排除するために非酸化性ガス雰囲気中で熱処理することが好ましい。

【0034】以上のように、結晶育成の際に窒素を適度に制御して含有させた結晶、さらに酸素を添加させた結晶、あるいは結晶育成の際の結晶冷却条件を制御した結晶、およびそれらを組み合わせた結晶、また、前記各結晶に対してエピタキシャル成長前に適度な熱処理を施した結晶をエピタキシャル用サブストレートウェハとして用いてエピタキシャルシリコン単結晶基板を製造することによって、従来よりも単純・容易すなわち従来知られているようなエピタキシャル層堆積前に多段あるいは複

雜な熱処理を施す必要なく低成本で、エピタキシャル層内およびエピタキシャル層／基板界面において欠陥発生がなく従来以上に高品質化し、基板内部にはゲッタリング能力を十分に有するシリコン半導体基板を得ることができる。

【0035】本発明の窒素含有のサブストレートシリコンウェハにエピタキシャル層を堆積したシリコン半導体基板の概念図を図1に示す。図1において、IG層1d、欠陥密度漸次変化領域1c及び無欠陥領域1bからなる窒素添加サブストレートシリコンウェハ1a上に、エピタキシャル層／サブストレートウェハ界面2を介してエピタキシャル層3が堆積している。また、本発明の結晶引上時に特定の冷却条件で製造したシリコンウェハ（窒素無添加）をサブストレートウェハとしその表面にエピタキシャル層を堆積したシリコン半導体基板の概念図を図2に示す。図2において、IG層1d、欠陥密度漸次変化領域1c及び無欠陥領域1bからなるサブストレートシリコンウェハ1上に、エピタキシャル層／サブストレートウェハ界面2を介してエピタキシャル層3が堆積している。

## 【0036】

【実施例】以下に本発明の実施例を挙げて説明するが、本発明はこれらの実施例の記載によって制限されるものではない。

【0037】本発明における引上げ結晶の仕様と共通する製造方法を述べる。結晶径は8インチ用（直径205mm）で、伝導型はP型（ポロンドープ）、抵抗率は10Ωcmである。なお、上記結晶とは別途に、結晶径が8インチ用（直径205mm）で、伝導型はP型（ポロンドープ）、抵抗率が0.02Ωcmである結晶も用意した。酸素濃度は磁場印加条件およびルツボ回転速度等を調整し、低酸素領域として $2.0 \sim 5.0 \times 10^{17}$ atoms/cm<sup>3</sup>、中酸素領域として $7.0 \sim 8.0 \times 10^{17}$ atoms/cm<sup>3</sup>、高酸素領域として $9.0 \sim 10.0 \times 10^{17}$ atoms/cm<sup>3</sup>の濃度（酸素濃度は、赤外吸収法により測定し、濃度は日本電子工業振興協会による酸素濃度換算係数を用いて算出）の3種類を製造した。炭素濃度はいずれの結晶も $1.0 \times 10^{16}$ atoms/cm<sup>3</sup>未満（赤外吸収法によって測定し、濃度は日本電子工業振興協会による炭素濃度換算係数を用いて算出）である。いずれの結晶も約80kgの原料を溶解し、直径205mmの約60kgの単結晶インゴットを作成した。窒素の添加は、ノンドープのシリコン基板にCVD法（Chemical Vapor Deposition：化学気相成長法）により窒化膜を形成したウェハを、原料の溶解時に同時に溶かすことにより行った。シリコン融液中の窒素濃度は原料として同時に溶融した窒化膜付ウェハの窒化膜の厚さから1枚あたりの窒素量を計算し、狙いの窒素濃度に対して添加すべき窒化膜付ウェハの枚数を制限し制御した。シリコン単結晶中の窒素濃度はSIMSで測定したが、SIMSの検出下

限である  $1.0 \times 10^{11} \text{ atoms/cm}^3$  未満の濃度に関しては平行偏析係数から計算で求めた。なお、結晶中の窒素濃度が  $1.0 \times 10^{11} \text{ atoms/cm}^3$  以下の濃度では前述のごとく、SIMSによるウェハ中の窒素濃度は定量できなかったが、 $1.0 \times 10^{11} \text{ atoms/cm}^3$  以上の窒素濃度の場合、SIMSによりバックグラウンドレベルの2倍以上の強度で局所的な窒素信号の増大が認められた。

【0038】シリコン半導体基板の製造にあたっては、引上育成した結晶を切断、円筒研削後、スライス～鏡面研磨～洗浄仕上げしたウェハをサブストレートウェハとし、エピタキシャル成長装置に装填し、水素ガス雰囲気内で  $1100^\circ\text{C}$ ～ $1150^\circ\text{C}$ まで昇温し、その後塩化水素ガスによるエッティングを数分行い、トリクロルシランガスを用いて  $1150^\circ\text{C}$ でウェハ表面にエピタキシャル単結晶層を  $5 \mu\text{m}$ 成長させた。

【0039】本発明において得られたシリコン半導体基板の評価は、基板表面を  $5 \mu\text{m}$ 研磨し、エピタキシャル層を除去したシリコン基板表面に関して、アンモニア：過酸化水素：水 = 1 : 1 : 5 の SC-1 洗浄液で洗浄し、レーザーパーティクルカウンター LS 6000 で検出される  $0.1 \mu\text{m}$ 以上の COP 欠陥数を測定した。COP 欠陥すなわち空孔欠陥の体積密度の導出は、SC-1 洗浄とパーティクル測定を 10 回繰り返し、その増分から算出した。また、深さ方向の評価についてはエピタキシャル層を研磨により除去したシリコン基板を赤外レーザ干渉法欠陥測定装置 (OPP: Optical Precipitate Profiler) により深さ  $1 \mu\text{m}$ の位置に存在する直径換算で  $0.1 \mu\text{m}$ 以上のサイズの欠陥密度を計測した。OPP により検出される  $0.1 \mu\text{m}$ 以上の欠陥はパーティクル測定方法によって得られる COP 欠陥密度と 1 : 1 の関係がある。サイズが直径換算で  $20 \text{ nm}$ 以上の微小欠陥については、赤外レーザー散乱法による欠陥測定装置（赤外レーザートモグラフ）によりエピタキシャル層やエピタキシャル層とサブストレートウェハの界面下の深さ  $1 \mu\text{m}$ に存在する微小欠陥、さらには IG 効果の能力指標になるサブストレートウェハ内部（厚さ中心）の結晶欠陥の密度を調べた。また、 $1 \times 10^{10} \text{ 個/cm}^3$  以上の微小欠陥については透過型電子顕微鏡も用いて密度測定した。さらに、エピタキシャル成長後のシリコン半導体基板をデバイス製造の熱処理パターンの一つとして窒素雰囲気で  $800^\circ\text{C}$ 、4 時間の熱処理後、酸素雰囲気で  $1000^\circ\text{C}$ で 16 時間の熱処理を行い、その後、赤外レーザートモグラフおよび欠陥検出選択エッティング液であるライトエッティングを  $3 \mu\text{m}$ 行いエピタキシャル層内の結晶欠陥の形成の有無を評価した。また、ゲッタリング能力の指標はバルク欠陥密度としたが、その根拠は、エピタキシャルシリコン半導体基板表面に銅、ニッケル、鉄などの金属不純物を故意に  $10^{11} \text{ atoms/cm}^2$  程度汚染させ、その後、デバイス製造工程の標準的な熱処理である CMOS 热処理を施した後、 $30 \text{ mm}^2$  サイズ

の P/N 接合素子を基板上に作成し、P/N リーク電流の故意汚染有無の変化量を調べた結果に基づいた。評価例を図 7 に示すように、バルク内欠陥密度が高い方が故意汚染後の P/N リーク電流の増加量は少なくなっている、ゲッタリング能力が高いことがわかる。

【0040】表 1 (a) (b) ～表 12 (a) (b) に本発明の実施例、および表 13 (a) (b) ～表 14 (a) (b) に比較例に関する製造条件の特徴と欠陥評価結果、およびライフタイム評価結果のまとめを示す。

10 【0041】(実施例 1～6) 実施例 1～6 では、表 1 (a) および表 2 (a) に示すような製造条件で図 3 に示すような CZ 単結晶育成装置を用いて引上げ育成した。なお、表 1 (a) が抵抗率  $10 \Omega \text{ cm}$  の結晶に係るもの、表 2 (a) が抵抗率  $0.02 \Omega \text{ cm}$  の結晶に係るものである。また窒素濃度レベルは低濃度、高濃度の 2 種類、酸素濃度は低、中、高の 3 種類である。

【0042】この CZ 法単結晶育成装置は結晶冷却装置など設置しない通常の装置であり、シリコン融液 M を収容する石英ルツボ 9a とこれを保護する黒鉛製ルツボ 9b とから構成されたルツボ 9 と引上げシリコン結晶 S を収容するシリコン単結晶引き上げ炉 4 である。ルツボ 9 の側面部は加熱ヒータ 7 と加熱ヒータ 7 からの熱が結晶引上炉外部に逃げるのを防止するため断熱材 6 が取り囲むように設置されており、このルツボ 9 は図示されていない駆動装置と回転治具 8 によって接続され、この駆動装置によって所定の速度で回転されると共に、ルツボ 9 内のシリコン融液の減少にともないシリコン融液液面が低下するのを補うためにルツボ 9 を昇降させるようになっている。引き上げ炉 4 内には、垂下された引き上げ

30 ワイヤー 10 が設置され、このワイヤーの下端には種結晶 11 を保持するチャック 12 が設けられている。この引き上げワイヤー 10 の上端側は、ワイヤ巻き上げ機 5 に巻きとられて、シリコン単結晶インゴットを引き上げるようになった引き上げ装置が設けられている。そして、引き上げ炉内 4 には、引き上げ炉 4 に形成されたガス導入口 13 から Ar ガスなどのガスが導入され、引き上げ炉 4 内を流通してガス流出口 14 から排出される。このようにガスを流通させるのは、シリコン単結晶育成を阻害する要因となる引き上げ炉内 4 に発生する SiO<sub>2</sub> などを作り上げ炉外に速やかに排出させるためである。磁場印加装置は特に記載していないが、引上げ炉体周辺に磁場印加装置を設置し、磁場印加下でも引上げ可能である。

【0043】実施例 1 は低窒素レベルで低酸素、実施例 2 は低窒素レベルで中酸素、実施例 3 は低窒素レベルで高酸素、実施例 4 は高窒素レベルで低酸素、実施例 5 は高窒素レベルで中酸素、実施例 6 は高窒素レベルで高酸素の結晶である。結晶冷却速度は凝固温度 (Tm) ～  $800^\circ\text{C}$ までは  $2.4^\circ\text{C}/\text{分}$ から  $0.8^\circ\text{C}/\text{分}$ の範囲で必ずしも該温度範囲すべてにおいて  $2.0^\circ\text{C}/\text{分}$ 以上では

なかった。また800°C~400°Cの結晶温度領域においては1.2°C/分から0.5°C/分の範囲で必ずしも該温度範囲すべてにおいて1.0°C/分以上ではなかつた。これらの結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を5μmエピタキシャル成長させ、シリコン半導体基板を作製した。結晶評価結果は表1(b)および表2(b)に示す。エピタキシャル層とエピタキシャル層堆積前のサブストレートシリコンウェハの界面から深さ1μmまでの領域において、直径換算のサイズが0.1μm以上の欠陥(空孔欠陥)密度はいずれの結晶も $1.0 \times 10^3$ 個/cm<sup>3</sup>以下で顕著に低減され、直径換算で20nm以上の微小欠陥についても $10^3$ 個/cm<sup>3</sup>レベルで従来に比べて低減化されている。一方、該サブストレートウェハの厚さ中心領域(バルク領域)では20nm以上の微小欠陥密度はいずれの結晶も $1.0 \times 10^3$ 個/cm<sup>3</sup>以上であり、IG効果に有効な欠陥の顕著な増加が見られる。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面(すなわち、エピタキシャル層とサブストレートウェハの界面)下、無欠陥層が十分に形成され、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかつた。本実施例におけるシリコン半導体基板の断面構造概念図を図1に示す。

【0044】(実施例7~9)実施例7~9についても、表3(a)(b)および表4(a)(b)に引上げ育成の製造条件と評価結果を示す。なお、表3(a)(b)が抵抗率10Ωcmの結晶に係るもの、表4(a)(b)が抵抗率0.02Ωcmの結晶に係るものである。実施例7は低酸素、実施例8は中酸素、実施例9は高酸素レベルで、図4に示すような結晶冷却装置20を引上炉内に設置したCZ単結晶育成装置を用いて引き上げ育成した。なお、磁場印加装置は特に記載していないが、引上げ炉体周辺に磁場印加装置を設置し、磁場印加下でも引上げ可能である。結晶冷却速度は凝固温度(Tm)~800°Cまでは6.0°C/分から2.0°C/分の範囲で、Tmから800°Cの全ての結晶温度領域において2.0°C/分以上の冷却速度であった。800°Cから400°Cの結晶温度範囲の冷却速度は、2.0°C/分~0.5°C/分で必ずしも該温度範囲のすべてにおいて1.0°C/分以上の冷却速度ではなかつた。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を5μmエピタキシャル成長させ、シリコン半導体基板を作製した。エピタキシャル層とサブストレートシリコンウェハの界面から深さ1μmまでの領域において、直径換算のサイズが0.1μm以上の欠陥(空孔欠陥)密度はいずれの結晶も $1.0 \times 10^3$ 個/cm<sup>3</sup>以下で低減され、直径換算で20nm以上の微小欠陥についても $10^3$ 個/cm<sup>3</sup>レベルで従来に比べて低減化されている一方、サブストレートウェ

ハの厚さ中心領域(バルク領域)では20nm以上の微小欠陥密度はいずれの結晶も $1.0 \times 10^3$ 個/cm<sup>3</sup>以上であり、IG効果に有効な欠陥の顕著な増加が見られる。熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面(すなわち、エピタキシャル層とサブストレートウェハの界面)下、無欠陥層が十分に形成され、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかつた。本実施例におけるシリコン半導体基板の断面構造概念図を図2に示す。

- 【0045】(実施例10~12)実施例10~12についても、表5(a)(b)および表6(a)(b)に引上げ育成の製造条件と評価結果を示す。なお、表5(a)(b)が抵抗率10Ωcmの結晶に係るもの、表6(a)(b)が抵抗率0.02Ωcmの結晶に係るものである。実施例10は低酸素、実施例11は中酸素、実施例12は高酸素レベルで、図5に示すような結晶冷却装置30を引上炉内に設置したCZ単結晶育成装置を用いて引き上げ育成した。結晶冷却速度は凝固温度(Tm)~800°Cまでは2.4°C/分から1.5°C/分の範囲で、該温度範囲すべてにおいて2.0°C/分以上の冷却速度ではないが、800°Cから400°Cの範囲は1.6°C/分から1.2°C/分の範囲で、該温度範囲の全ての結晶温度領域において1.0°C/分以上の冷却速度であった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を5μmエピタキシャル成長させ、シリコン半導体基板を作製した。エピタキシャル層とサブストレートシリコンウェハの界面から深さ1μmまでの領域において、直径換算のサイズが0.1μm以上の欠陥(空孔欠陥)密度はいずれの結晶も $1.0 \times 10^3$ 個/cm<sup>3</sup>以下で低減され、直径換算で20nm以上の微小欠陥についても $10^3$ 個/cm<sup>3</sup>レベルで従来に比べて低減化されている。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面(すなわち、エピタキシャル層とサブストレートウェハの界面)下、無欠陥層が十分に形成され、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかつた。
- 【0046】(実施例13~15)実施例13~15についても、表7(a)(b)および表8(a)(b)に引上げ育成の製造条件と評価結果を示す。なお、表7(a)(b)が抵抗率10Ωcmの結晶に係るもの、表8(a)(b)が抵抗率0.02Ωcmの結晶に係るものである。実施例13は低酸素、実施例14は中酸素、実施例15は高酸素レベルで、図6に示すような結晶冷却装置20および30を引上炉内に設置したCZ単結晶育成装置を用いて引き上げ育成した。結晶冷却速度は凝固温度(Tm)~800°Cまでは6.5°C/分から2.0°C/分の範囲で、さらに800°Cから400°Cの範囲

は2.0°C/分から1.2°C/分の範囲で、Tmから800°Cの全ての結晶温度領域において2.0°C/分以上の冷却速度で、さらに、800°Cから400°Cの全ての結晶温度領域において1.0°C/分以上の冷却速度であった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハ都市その表面に単結晶層を5μmエピタキシャル成長させ、シリコン半導体基板を作製した。凝固界面から400°Cまでの広範囲の結晶温度領域を全体に渡って急冷することになり、0.1μmサイズ以上の空孔欠陥もサイズ20nm以上の微小欠陥も顕著に低減されている。直径換算のサイズが0.1μm以上の欠陥(空孔欠陥)密度は、エピタキシャル層とサブストレートシリコンウェハの界面から深さ1μmまでの領域において、いずれも $1.0 \times 10^4$ 個/cm<sup>3</sup>以下で低減され、直径換算で20nm以上の微小欠陥についても $5.0 \times 10^4$ 個/cm<sup>3</sup>以下で顕著な低減が見られる。一方、サブストレートウェハの厚さ中心領域(バルク領域)では20nm以上の微小欠陥密度はいずれの結晶も $1.0 \times 10^4$ 個/cm<sup>3</sup>以上であり、IG効果に有効な欠陥の顕著な増加が見られる。熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面(すなわち、エピタキシャル層とサブストレートウェハの界面)下、無欠陥層が十分に形成され、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかった。

【0047】(実施例16～21)実施例16～21についても、表9(a)(b)および表10(a)(b)に引上げ育成の製造条件と評価結果を示す。なお、表9(a)(b)が抵抗率10Ωcmの結晶に係るもの、表10(a)(b)が抵抗率0.02Ωcmの結晶に係るものである。本実施例では、窒素を添加した結晶に、実施例7～9と同様、図4に示すようなCZ単結晶育成装置を用いて引き上げ育成した。結晶冷却速度は凝固温度(Tm)～800°Cまでは6.0°C/分から2.0°C/分の範囲で、Tmから800°Cの全ての結晶温度領域において2.0°C/分以上の冷却速度であった。800°Cから400°Cの結晶温度範囲の冷却速度は、2.0°C/分～0.5°C/分で必ずしも該温度範囲のすべてにおいて1.0°C/分以上の冷却速度ではなかった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとその表面に単結晶層を5μmエピタキシャル成長させ、シリコン半導体基板を作製した。窒素濃度および酸素濃度は実施例1～6に記述した濃度と同様で、実施例16は低窒素レベルで低酸素、実施例17は低窒素レベルで中酸素、実施例24は低窒素レベルで高酸素、実施例25は高窒素レベルで低酸素、実施例26は高窒素レベルで中酸素、実施例27は高窒素レベルで高酸素の結晶である。エピタキシャル層とサブストレートシリコンウェハの界面においては、直径換算のサイズが0.1μm以上の欠陥(空孔欠陥)密度はいずれの結晶

も $1.0 \times 10^4$ 個/cm<sup>3</sup>以下でほぼゼロレベルで、さらに界面から深さ1μmまでの領域においても $1.0 \times 10^4$ 個/cm<sup>3</sup>以下で顕著に低減されている。直径換算で20nm以上の微小欠陥についても界面および界面から深さ1μmまでの領域で $1.0 \times 10^4$ 個/cm<sup>3</sup>以下で顕著に低減化されている一方、サブストレートウェハの厚さ中心領域(バルク領域)では20nm以上の微小欠陥密度はいずれの結晶も $1.0 \times 10^{10}$ 個/cm<sup>3</sup>程度存在し、IG効果に有効な欠陥の顕著な増加が見られる。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面(すなわち、エピタキシャル層とサブストレートウェハの界面)下、無欠陥層は広く、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかった。

【0048】(実施例22～27)実施例22～27についても、表9(a)(b)および表10(a)(b)に引上げ育成の製造条件と評価結果を示す。なお、表9(a)(b)が抵抗率10Ωcmの結晶に係るもの、表10(a)(b)が抵抗率0.02Ωcmの結晶に係るものである。本実施例では、窒素を添加した結晶に、実施例10～12と同様、図5に示すようなCZ単結晶育成装置を用いて引き上げ育成した。結晶冷却速度は凝固温度(Tm)～800°Cまでは2.4°C/分から1.5°C/分の範囲で、該温度範囲すべてにおいて2.0°C/分以上の冷却速度ではないが、800°Cから400°Cの範囲は1.6°C/分から1.2°C/分の範囲で、該温度範囲の全ての結晶温度領域において1.0°C/分以上の冷却速度であった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとその表面に単結晶層を5μmエピタキシャル成長させ、シリコン半導体基板を作製した。窒素濃度および酸素濃度は実施例1～6に記述した濃度と同様で、実施例22は低窒素レベルで低酸素、実施例23は低窒素レベルで中酸素、実施例24は低窒素レベルで高酸素、実施例25は高窒素レベルで低酸素、実施例26は高窒素レベルで中酸素、実施例27は高窒素レベルで高酸素の結晶である。エピタキシャル層とサブストレートシリコンウェハの界面から深さ1μmまでの領域において、直径換算で0.1μm以上の欠陥密度は $1.0 \times 10^4$ 個/cm<sup>3</sup>以下で顕著に低減され、直径換算で20nm以上の微小欠陥についても界面および界面から深さ1μmまでの領域で $1.0 \times 10^4$ 個/cm<sup>3</sup>以下で顕著に低減化されている。サブストレートウェハの厚さ中心領域(バルク領域)では20nm以上の微小欠陥密度はいずれの結晶も $1.0 \times 10^4$ 個/cm<sup>3</sup>程度存在し、IG効果に有効な欠陥の顕著な増加が見られる。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面(すなわち、エピタキシャル層とサブストレートウェハの界面)下、無欠陥層は広

21

く、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかった。

【0049】(実施例28～33)実施例28～33についても、表9(a)(b)および表10(a)(b)に引上げ育成の製造条件と評価結果を示す。なお、表9(a)(b)が抵抗率 $10\Omega\text{cm}$ の結晶に係るもの、表10(a)(b)が抵抗率 $0.02\Omega\text{cm}$ の結晶に係るものである。本実施例では、窒素を添加した結晶に、実施例13～15と同様、図6に示すようなCZ単結晶育成装置を用いて引き上げ育成した。結晶冷却速度は凝固温度( $T_m$ )～ $800^\circ\text{C}$ までは $6.5^\circ\text{C}/\text{分}$ から $2.0^\circ\text{C}/\text{分}$ の範囲で、さらに $800^\circ\text{C}$ から $400^\circ\text{C}$ の範囲は $2.0^\circ\text{C}/\text{分}$ から $1.2^\circ\text{C}/\text{分}$ の範囲で、 $T_m$ から $800^\circ\text{C}$ の全ての結晶温度領域において $2.0^\circ\text{C}/\text{分}$ 以上の冷却速度で、さらに、 $800^\circ\text{C}$ から $400^\circ\text{C}$ の全ての結晶温度領域において $1.0^\circ\text{C}/\text{分}$ 以上の冷却速度であった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を $5\mu\text{m}$ エピタキシャル成長させ、シリコン半導体基板を作製した。窒素濃度および酸素濃度は実施例1～6に記述した濃度と同様で、実施例28は低窒素レベルで低酸素、実施例29は低窒素レベルで中酸素、実施例30は低窒素レベルで高酸素、実施例31は高窒素レベルで低酸素、実施例32は高窒素レベルで中酸素、実施例33は高窒素レベルで高酸素の結晶である。エピタキシャル層とサブストレートシリコンウェハの界面領域においては、直径換算のサイズが $0.1\mu\text{m}$ 以上の欠陥(空孔欠陥)密度はいずれの結晶も $1.0\times10^2$ 個/ $\text{cm}^3$ 以下でほぼゼロレベルで、さらに該界面から深さ $1\mu\text{m}$ までの領域においても $10^2$ 個/ $\text{cm}^3$ レベルかそれ以下で極端に低減されている。直径換算で $20\text{nm}$ 以上の微小欠陥についても界面および界面から深さ $1\mu\text{m}$ までの領域で $10^2$ 個/ $\text{cm}^3$ レベルで極端に低減化され、ほぼ完全な無欠陥層が形成している。一方、ウェハの厚さ中心領域(バルク領域)では $20\text{nm}$ 以上の微小欠陥密度についてはいずれの結晶も $1.0\times10^{10}$ 個/ $\text{cm}^3$ 程度存在し、IG効果に有効な欠陥の顕著な増加が見られる。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面(すなわち、エピタキシャル層とサブストレートウェハの界面)下、無欠陥層は広く、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかった。

【0050】(実施例34～38)本実施例34～38は、窒素を添加した結晶から切り出しウェハ加工したシリコンウェハをエピタキシャル法による単結晶層堆積用のサブストレートウェハとしエピタキシャル成長前に熱処理を施し、該サブストレートシリコンウェハ表面領域において従来以上の深さで無欠陥化を行い、かつ該サブストレートウェハ中心領域には高密度の欠陥が存在する

22

よう製造し、その後エピタキシャル層を $5\mu\text{m}$ 堆積したシリコン半導体基板である。本実施例では、窒素濃度は $1.0\times10^{19}\text{atoms/cm}^3$ レベルの高濃度で酸素濃度は $1.0\times10^{18}\text{atoms/cm}^3$ の高濃度レベルに関して記載するが、本実施例に見られる効果は、窒素濃度が $5.0\times10^{13}\text{atoms/cm}^3$ 以上 $1.0\times10^{16}\text{atoms/cm}^3$ 以下、および酸素濃度が $1.0\times10^{17}\text{atoms/cm}^3$ 以上の範囲で製造された結晶であれば同様な効果を示すことを確認している。本実施例の製造条件および評価結果は表11(a)(b)および表12(a)(b)に示す。なお、表11(a)(b)が抵抗率 $10\Omega\text{cm}$ の結晶に係るもの、表12(a)(b)が抵抗率 $0.02\Omega\text{cm}$ の結晶に係るものである。結晶引上げは図3に示すようなCZ単結晶育成装置を用いて引上げ育成した。結晶冷却速度は凝固温度( $T_m$ )～ $800^\circ\text{C}$ までは $2.4^\circ\text{C}/\text{分}$ から $0.8^\circ\text{C}/\text{分}$ の範囲で必ずしも該温度範囲すべてにおいて $2.0^\circ\text{C}/\text{分}$ 以上ではなかった。また $800^\circ\text{C}$ ～ $400^\circ\text{C}$ の結晶温度領域においては $1.2^\circ\text{C}/\text{分}$ から $0.5^\circ\text{C}/\text{分}$ の範囲で必ずしも該温度範囲すべてにおいて $1.0^\circ\text{C}/\text{分}$ 以上ではなかった。熱処理は、実施例34と35は熱処理時間の効果を見るため、それぞれA<sub>r</sub>雰囲気で $1100^\circ\text{C}$ で60分と5分、実施例36は熱処理雰囲気の効果を見るため酸素雰囲気で $1100^\circ\text{C}$ で60分、実施例37と38は熱処理温度の効果を見るため、それぞれA<sub>r</sub>雰囲気で $1000^\circ\text{C}$ で60分とA<sub>r</sub>雰囲気で $1300^\circ\text{C}$ で5分の熱処理を施した。直径換算で $0.1\mu\text{m}$ 以上の空孔欠陥のエピタキシャル層とサブストレートシリコンウェハの界面から深さ $1\mu\text{m}$ までの領域における密度分布については、実施例36の酸素雰囲気熱処理を除いて、 $1.0\times10^2$ 個/ $\text{cm}^3$ 以下ではゼロレベルの欠陥分布である。実施例36の酸素雰囲気熱処理ウェハに關しても、当該空孔欠陥の密度は $1.0\times10^3$ 個/ $\text{cm}^3$ レベルで従来に比べて顕著に低減している。また、サイズが直径換算で $20\text{nm}$ 以上の微小欠陥については、エピタキシャル層とサブストレートシリコンウェハの界面から深さ $1\mu\text{m}$ までの領域で $1.0\times10^4$ 個/ $\text{cm}^3$ 以下となっており顕著な欠陥密度の低減が見られる。一方、サブストレートウェハの厚さ中心領域(バルク領域)では $20\text{nm}$ 以上の微小欠陥密度はいずれの結晶も $1.0\times10^8$ 個/ $\text{cm}^3$ 以上であり、IG効果に有効な欠陥の顕著な増加が見られる。温度としては、高温ほど微小欠陥が分解する傾向があり、 $1100^\circ\text{C}$ から $1200^\circ\text{C}$ 程度が好ましい。また、雰囲気は酸素雰囲気に比べて不活性ガスの一つであるA<sub>r</sub>雰囲気において欠陥の一層の低減が見られる。熱処理時間は、長時間ほどエピタキシャル層界面付近の欠陥密度の低減が見られるが、ウェハ中心領域の欠陥密度の低減傾向があること、さらに製造コストの観点から5分以上60分以下程度で十分である。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキ

シャル層からサブストレートシリコンウェハ表面（すなわち、エピタキシャル層とサブストレートウェハの界面）下、無欠陥層は広く、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかった。

【0051】（実施例39～41）本実施例39から41は、窒素を添加しないで、結晶引上げ育成時に結晶を急冷した結晶を、ウェハ加工したシリコンウェハをエピタキシャル法による単結晶層堆積用のサブストレートウェハとしエピタキシャル成長前に熱処理を施し、該サブストレートシリコンウェハ表面領域において従来以上の深さで無欠陥化を行い、かつ該サブストレートウェハ中心領域には高密度の欠陥が存在するよう製造し、その後エピタキシャル層を5μm堆積したシリコン基板である。本実施例では、酸素濃度は $1.0 \times 10^{19}$ atoms/cm<sup>3</sup>の高濃度レベルに関して記載するが、本実施例に見られる効果は、酸素濃度が $1.0 \times 10^{17}$ atoms/cm<sup>3</sup>以上の範囲で製造された結晶であれば同様な効果を示すことを確認している。本実施例の製造条件および評価結果は表11(a) (b) および表12(a) (b) に示す。なお、表11(a) (b) が抵抗率10Ωcmの結晶に係るもの、表12(a) (b) が抵抗率0.02Ωcmの結晶に係るものである。実施例39は、図4に示すようなCZ単結晶育成装置を用いて引上げ育成し、結晶冷却速度は凝固温度（Tm）～800°Cまでは6.0°C/分から2.0°C/分の範囲で、Tmから800°Cの全ての結晶温度領域において2.0°C/分以上の冷却速度であった。800°Cから400°Cの結晶温度範囲の冷却速度は、2.0°C/分～0.5°C/分で必ずしも該温度範囲のすべてにおいて1.0°C/分以上の冷却速度ではなかった。実施例40は、図5に示すような結晶の冷却能力を高める装置を設置したCZ単結晶育成装置を用いて引上げ育成し、結晶冷却速度は凝固温度（Tm）～800°Cまでは2.4°C/分から1.5°C/分の範囲で、該温度範囲すべてにおいて2.0°C/分以上の冷却速度ではないが、800°Cから400°Cの範囲は1.6°C/分から1.2°C/分の範囲で、該温度範囲の全ての結晶温度領域において1.0°C/分以上の冷却速度であった。実施例41は、図6に示すような結晶の冷却能力を高める装置を設置したCZ単結晶育成装置を用いて引上げ育成し、結晶冷却速度は凝固温度（Tm）～800°Cまでは6.5°C/分から2.0°C/分の範囲で、さらに800°Cから400°Cの範囲は2.0°C/分から1.2°C/分の範囲で、Tmから800°Cの全ての結晶温度領域において2.0°C/分以上の冷却速度で、さらに、800°Cから400°Cの全ての結晶温度領域において1.0°C/分以上の冷却速度であった。いずれの実施例においても、エピタキシャル堆積前のサブストレートシリコンウェハの熱処理はAr雰囲気で1100°Cで60分実施した。凝固温度から400°Cまでの温度領域すべてを急冷した結晶において欠陥密度低減効果が顕著であるが、い

ずれの結晶もエピタキシャル層界面下の欠陥密度が低減する。一方、サブストレートウェハ厚さ中心領域ではIG効果を高めるのに十分な欠陥密度を有している。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかった。

【0052】（実施例42～44）本実施例42から44は、結晶引上げ育成時に窒素を添加し、かつ結晶を急冷した結晶を、ウェハ加工したシリコンウェハをエピタキシャル法による単結晶層堆積用のサブストレートウェハとしエピタキシャル成長前に熱処理を施し、該サブストレートシリコンウェハ表面領域において従来以上の深さで無欠陥化を行い、かつ該サブストレートウェハ中心領域には高密度の欠陥が存在するよう製造し、その後エピタキシャル層を5μm堆積したシリコン半導体基板である。本実施例では、窒素濃度は $1.0 \times 10^{19}$ atoms/cm<sup>3</sup>レベルの高濃度で酸素濃度は $1.0 \times 10^{18}$ atoms/cm<sup>3</sup>の高濃度レベルに関して記載するが、本実施例に見られる効果は、窒素濃度が $5.0 \times 10^{19}$ atoms/cm<sup>3</sup>以上 $1.0 \times 10^{18}$ atoms/cm<sup>3</sup>以下、および酸素濃度が $1.0 \times 10^{17}$ atoms/cm<sup>3</sup>以上の範囲で製造された結晶であれば同様な効果を示すことを確認している。本実施例の製造条件および評価結果は表11(a) (b) および表12(a) (b) に示す。なお、表11(a) (b) が抵抗率10Ωcmの結晶に係るもの、表12(a) (b) が抵抗率0.02Ωcmの結晶に係るものである。実施例42は、図4に示すような結晶の冷却能力を高める装置を設置したCZ単結晶育成装置を用いて引上げ育成し、結晶冷却速度は凝固温度（Tm）～800°Cまでは6.0°C/分から2.0°C/分の範囲で、Tmから800°Cの全ての結晶温度領域において2.0°C/分以上の冷却速度であった。800°Cから400°Cの結晶温度範囲の冷却速度は、2.0°C/分～0.5°C/分で必ずしも該温度範囲のすべてにおいて1.0°C/分以上の冷却速度ではなかった。実施例43は、図5に示すような結晶の冷却能力を高める装置を設置したCZ単結晶育成装置を用いて引上げ育成し、結晶冷却速度は凝固温度（Tm）～800°Cまでは2.4°C/分から1.5°C/分の範囲で、該温度範囲すべてにおいて2.0°C/分以上の冷却速度ではないが、800°Cから400°Cの範囲は1.6°C/分から1.2°C/分の範囲で、該温度範囲の全ての結晶温度領域において1.0°C/分以上の冷却速度であった。実施例44は、図6に示すような結晶の冷却能力を高める装置を設置したCZ単結晶育成装置を用いて引上げ育成し、結晶冷却速度は凝固温度（Tm）～800°Cまでは6.5°C/分から2.0°C/分の範囲で、さらに800°Cから400°Cの範囲は2.0°C/分から1.2°C/分の範囲で、Tmから800°Cの全ての結晶温度領域において2.0°C/分以上の冷却速度であった。いずれの実施例においても、エピタキシャル堆積前のサブストレートシリコンウェハの熱処理はAr雰囲気で1100°Cで60分実施した。凝固温度から400°Cまでの温度領域すべてを急冷速度で、さらに、800°Cから400°Cの全ての結晶温

度領域において $1.0^{\circ}\text{C}/\text{分}$ 以上の冷却速度であった。いずれの実施例においても、エピタキシャル堆積前のサブストレートシリコンウェハの熱処理はAr雰囲気で $1000^{\circ}\text{C}$ で60分実施した。凝固温度から $400^{\circ}\text{C}$ までの温度領域すべてを急冷した結晶において欠陥密度低減効果が顕著であるが、いずれの結晶もサイズ $0.1\mu\text{m}$ 以上の空孔欠陥についてもサイズが $20\text{nm}$ 以上の微小欠陥に関してもエピタキシャル層界面下の欠陥密度が $10^2$ 個/ $\text{cm}^3$ レベルかそれ以下のはほぼ完全に無欠陥の状態を実現している。一方、サブストレートウェハ厚さ中心領域 $20\text{nm}$ 以上の欠陥密度は $10^3$ 個/ $\text{cm}^3$ レベルでIG効果を増強する欠陥密度を有している。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、酸素析出物などの微小欠陥のエピタキシャル層への突き出しがなかった。

【0053】(比較例1～3) 比較例1から3では、窒素を添加することなしに結晶育成を行った。すなわち、図3に示すような特に結晶急冷装置を設けることのない通常の結晶育成装置で引き上げ育成し、結晶冷却速度は凝固温度( $T_m$ )～ $800^{\circ}\text{C}$ までは $2.4^{\circ}\text{C}/\text{分}$ から $0.8^{\circ}\text{C}/\text{分}$ の範囲で必ずしも該温度範囲すべてにおいて $2.0^{\circ}\text{C}/\text{分}$ 以上ではなかった。また $800^{\circ}\text{C}$ ～ $400^{\circ}\text{C}$ の結晶温度領域においては $1.2^{\circ}\text{C}/\text{分}$ から $0.5^{\circ}\text{C}/\text{分}$ の範囲で必ずしも該温度範囲すべてにおいて $1.0^{\circ}\text{C}/\text{分}$ 以上ではなかった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を $5\mu\text{m}$ エピタキシャル成長させ、シリコン半導体基板を作製した。本比較例の製造条件および評価結果は表13(a)(b)および表14(a)(b)に示す。なお、表13(a)(b)が抵抗率 $10\Omega\text{cm}$ の結晶に係るもの、表14(a)(b)が抵抗率 $0.02\Omega\text{cm}$ の結晶に係るものである。比較例1は低酸素、比較例2は中酸素、比較例3は高酸素の結晶である。エピタキシャル層とサブストレートウェハの界面から深さ $1\mu\text{m}$ までの領域において、直径換算のサイズが $0.1\mu\text{m}$ 以上の欠陥(空孔欠陥)密度は酸素濃度が低い方が低下する傾向はあるものの、 $5.0 \times 10^1$ 個/ $\text{cm}^3$ 以下にはならず概ね $10^1$ 個/ $\text{cm}^3$ レベルの高密度である。直径換算で $20\text{nm}$ 以上の微小欠陥についても、エピタキシャル層とサブストレートウェハの界面から深さ $1\mu\text{m}$ までの領域において、密度が $5.0 \times 10^1$ 個/ $\text{cm}^3$ 以下は実現せず $1.0 \times 10^0$ 個/ $\text{cm}^3$ 以上のレベルである。一方、サブストレートウェハの厚さ中心領域(バルク領域)では $1.0 \times 10^7$ 個/ $\text{cm}^3$ レベルで、顕著なIG効果は期待できない。なお、熱処理後において、ウェハあたり数個レベルの結晶欠陥の形成(酸素析出物のエピタキシャル層への突き出しおよび積層欠陥の形成)が見られ、エピタキシャル層とサブストレートウェハの界面付近の無欠陥層は狭くなっていた。

【0054】(比較例4～6) 比較例4から6では、窒

素の添加量を結晶引上げ育成時、融液中の窒素濃度が $5.0 \times 10^{11}$ atoms/cm<sup>3</sup>程度とし、結晶中の窒素濃度が $5.0 \times 10^{12}$ atoms/cm<sup>3</sup>程度とした。すなわち、窒素添加量は微量とした。結晶育成は、図3に示すような特に結晶急冷装置を設けることのない通常の結晶育成装置で引き上げ育成し、結晶冷却速度は凝固温度( $T_m$ )～ $800^{\circ}\text{C}$ までは $2.4^{\circ}\text{C}/\text{分}$ から $0.8^{\circ}\text{C}/\text{分}$ の範囲で必ずしも該温度範囲すべてにおいて $2.0^{\circ}\text{C}/\text{分}$ 以上ではなかった。また $800^{\circ}\text{C}$ ～ $400^{\circ}\text{C}$ の結晶温度領域においては $1.2^{\circ}\text{C}/\text{分}$ から $0.5^{\circ}\text{C}/\text{分}$ の範囲で必ずしも該温度範囲すべてにおいて $1.0^{\circ}\text{C}/\text{分}$ 以上ではなかった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を $5\mu\text{m}$ エピタキシャル成長させ、シリコン半導体基板を作製した。本比較例の製造条件および評価結果は表13(a)(b)および表14(a)(b)に示す。なお、表13(a)(b)が抵抗率 $10\Omega\text{cm}$ の結晶に係るもの、表14(a)(b)が抵抗率 $0.02\Omega\text{cm}$ の結晶に係るものである。比較例4は低酸素、比較例5は中酸素、比較例6は高酸素の結晶である。エピタキシャル層とサブストレートウェハの界面から深さ $1\mu\text{m}$ までの領域において、直径換算のサイズが $0.1\mu\text{m}$ 以上の欠陥(空孔欠陥)密度、直径換算のサイズが $20\text{nm}$ 以上の微小欠陥の密度については比較例1～3とほぼ同様で、窒素添加の顕著な効果は見られず、それぞれの欠陥サイズに対し概ね $10^1$ 個/ $\text{cm}^3$ レベル、 $1.0 \times 10^6$ 個/ $\text{cm}^3$ のレベルで高密度であった。一方、該サブストレートウェハの厚さ中心領域(バルク領域)に関しても欠陥密度の増加は見られず $1.0 \times 10^7$ 個/ $\text{cm}^3$ レベルで、顕著なIG効果は期待できない。なお、ライタイムはすべて問題ないが、熱処理後において、ウェハあたり数個レベルの結晶欠陥の形成(酸素析出物のエピタキシャル層への突き出しおよび積層欠陥の形成)が見られ、エピタキシャル層とサブストレートウェハの界面付近の無欠陥層は狭くなっていた。

【0055】(比較例7) 比較例7は、窒素の添加量を結晶引上げ育成時、融液中の窒素濃度が $4.5 \times 10^{11}$ atoms/cm<sup>3</sup>程度とし、結晶中の窒素濃度が $3.0 \times 10^{16}$ atoms/cm<sup>3</sup>程度とした。すなわち、窒素を極端に多く添加した。結晶育成は、図3に示すような特に結晶急冷装置を設けることのない通常の結晶育成装置で引き上げ育成し、結晶冷却速度は凝固温度( $T_m$ )～ $800^{\circ}\text{C}$ までは $2.4^{\circ}\text{C}/\text{分}$ から $0.8^{\circ}\text{C}/\text{分}$ の範囲で必ずしも該温度範囲すべてにおいて $2.0^{\circ}\text{C}/\text{分}$ 以上ではなかった。また $800^{\circ}\text{C}$ ～ $400^{\circ}\text{C}$ の結晶温度領域においては $1.2^{\circ}\text{C}/\text{分}$ から $0.5^{\circ}\text{C}/\text{分}$ の範囲で必ずしも該温度範囲すべてにおいて $1.0^{\circ}\text{C}/\text{分}$ 以上ではなかった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を $5\mu\text{m}$ エピタキシャル成長させ、シリコン半導体基板を作製した。本比較例

の製造条件および評価結果は表13(a)(b)および表14(a)(b)に示す。なお、表13(a)(b)が抵抗率 $10\Omega\text{cm}$ の結晶に係るもの、表14(a)(b)が抵抗率 $0.02\Omega\text{cm}$ の結晶に係るものである。エピタキシャル層とサブストレートウェハの界面から深さ $1\mu\text{m}$ までの領域において、直径換算のサイズが $0.1\mu\text{m}$ 以上の欠陥(空孔欠陥)密度、直径換算のサイズが $20\text{nm}$ 以上の微小欠陥の密度について窒素\*

\*の効果から微細になった欠陥がエピタキシャル成長時容易に分解し低減が見られるものの、分解した欠陥の構成要素である原子空孔や不純物酸素がエピタキシャル層に拡散しエピタキシャル層内に新たな欠陥形成が見られる。

【0056】

【表1】

表1 (a)

	シリコン基板比抵抗： $10\Omega\cdot\text{cm}$						
	製造条件						
	融液窒素 $/\text{cm}^3$	引上速度 mm/分	結晶窒素 $/\text{cm}^3$	結晶酸素 $/\text{cm}^3$	Tm～800°C $>2.0^\circ\text{C}/\text{分}$	800～400°C $>1.0^\circ\text{C}/\text{分}$	熱処理
実施例 1	1.0E17	0.8	1.0E14	3.0E17	-	-	-
実施例 2	2.0E17	0.8	2.0E14	8.0E17	-	-	-
実施例 3	5.0E17	0.8	5.0E14	9.5E17	-	-	-
実施例 4	8.0E18	0.8	7.0E15	3.0E17	-	-	-
実施例 5	1.0E19	0.8	1.0E16	8.0E17	-	-	-
実施例 6	9.0E18	0.8	8.0E15	9.5E17	-	-	-

○：範囲内、 - : 範囲外

表1 (b)

	エピ界面～深さ $1\mu\text{m}$ 欠陥		バルク欠陥	エピ層欠陥
	サイズ $>0.1\mu\text{m}$ $/\text{cm}^3$	サイズ $>20\text{nm}$ $/\text{cm}^3$	サイズ $>20\text{nm}$ $/\text{cm}^3$	個/ウェハ
実施例 1	9.0E2	1.5E5	1.0E9	検出されない
実施例 2	9.0E2	6.5E5	5.0E9	検出されない
実施例 3	8.5E2	6.0E5	6.0E9	検出されない
実施例 4	6.0E2	1.0E5	1.5E9	検出されない
実施例 5	6.0E2	5.0E5	6.0E9	検出されない
実施例 6	9.0E2	5.5E5	8.0E9	検出されない

【0057】

30 【表2】

表2 (a)

	製造条件						
	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 1	5.0E16	0.9	5.0E13	3.0E17	-	-	-
実施例 2	1.0E17	0.9	1.0E14	8.0E17	-	-	-
実施例 3	2.0E16	0.9	2.0E13	9.5E17	-	-	-
実施例 4	1.0E19	0.9	1.0E16	3.0E17	-	-	-
実施例 5	1.0E19	0.9	1.0E16	8.0E17	-	-	-
実施例 6	1.0E19	0.9	1.0E16	9.5E17	-	-	-

○：範囲内、 - : 範囲外

表2 (b)

	エビ界面～深さ1μm欠陥			バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	個/ウェハ	
実施例 1	8.0E2	1.0E5	3.0E9	検出されない	
実施例 2	8.0E2	5.0E5	6.0E9	検出されない	
実施例 3	7.5E2	5.0E5	6.5E9	検出されない	
実施例 4	5.0E2	1.0E5	5.0E9	検出されない	
実施例 5	5.0E2	4.0E5	8.0E9	検出されない	
実施例 6	8.0E2	5.0E5	9.5E9	検出されない	

【0058】

## \* \* 【表3】

表3 (a)

	製造条件						
	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 7	-	1.2	-	2.0E17	○	-	-
実施例 8	-	1.0	-	8.0E17	○	-	-
実施例 9	-	1.1	-	10.0E17	○	-	-

○：範囲内、 - : 範囲外

表3 (b)

	エビ界面～深さ1μm欠陥			バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	個/ウェハ	
実施例 7	3.0E3	1.0E4	1.0E8	検出されない	
実施例 8	5.0E3	2.0E4	5.0E8	検出されない	
実施例 9	6.0E3	4.0E4	5.5E8	検出されない	

【0059】

## 【表4】

表4 (a)

シリコン基板比抵抗: 0.02Ω·cm

製造条件

	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 7	-	1.0	-	2.0E17	○	-	-
実施例 8	-	1.0	-	8.0E17	○	-	-
実施例 9	-	1.1	-	10.0E17	○	-	-

○: 範囲内、 - : 範囲外

表4 (b)

	エビ界面～深さ 1μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	個/ウェハ
実施例 7	2.0E3	1.0E4	2.0E8	検出されない
実施例 8	4.0E3	1.0E4	6.0E8	検出されない
実施例 9	5.0E3	4.0E4	8.0E8	検出されない

【0060】

表5 (a)

シリコン基板比抵抗: 1.0Ω·cm

製造条件

	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 10	-	1.0	-	3.0E17	-	○	-
実施例 11	-	0.9	-	8.0E17	-	○	-
実施例 12	-	0.8	-	10.0E17	-	○	-

○: 範囲内、 - : 範囲外

表5 (b)

	エビ界面～深さ 1μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	個/ウェハ
実施例 10	7.0E3	5.0E4	6.0E6	検出されない
実施例 11	7.5E3	9.0E4	2.0E7	検出されない
実施例 12	9.0E3	1.0E5	4.5E7	検出されない

【0061】

※ ※ 【表6】

表6 (a)

シリコン基板比抵抗: 0.02Ω·cm

製造条件

	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 10	-	0.9	-	3.0E17	-	○	-
実施例 11	-	0.8	-	8.0E17	-	○	-
実施例 12	-	0.8	-	10.0E17	-	○	-

○: 範囲内、 - : 範囲外

表6 (b)

	エビ界面～深さ 1μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	個/ウェハ
実施例 10	6.0E3	4.0E4	7.0E7	検出されない
実施例 11	6.5E3	7.0E4	4.0E7	検出されない
実施例 12	8.0E3	9.0E4	8.0E7	検出されない

【0062】

表7 (a)

	シリコン基板比抵抗: 1.0Ω·cm						
	製造条件						
	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 13	-	1.2	-	3.0E17	○	○	-
実施例 14	-	1.1	-	8.0E17	○	○	-
実施例 15	-	1.1	-	10.0E17	○	○	-

○: 範囲内、 - : 範囲外

表7 (b)

	エビ界面～深さ 1μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	個/ウェハ
実施例 13	1.2E3	8.0E3	2.0E8	検出されない
実施例 14	3.0E3	1.0E4	6.0E8	検出されない
実施例 15	4.5E3	2.0E4	5.5E8	検出されない

【0063】

表8 (a)

	シリコン基板比抵抗: 0.02Ω·cm						
	製造条件						
	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 13	-	1.2	-	3.0E17	○	○	-
実施例 14	-	1.2	-	8.0E17	○	○	-
実施例 15	-	1.2	-	10.0E17	○	○	-

○: 範囲内、 - : 範囲外

表8 (b)

	エビ界面～深さ 1μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	個/ウェハ
実施例 13	1.0E3	5.0E3	4.0E8	検出されない
実施例 14	1.5E3	1.0E4	8.0E8	検出されない
実施例 15	3.0E3	1.5E4	9.5E8	検出されない

【0064】

【表9】

表9 (a)

シリコン基板比抵抗: 10Ω·cm

	製造条件						
	融液量 /cm <sup>3</sup>	引上速度 mm/分	結晶量 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 16	2.0E16	0.8	1.5E13	4.0E17	○	-	-
実施例 17	2.0E16	0.8	1.5E13	8.0E17	○	-	-
実施例 18	5.0E16	0.8	4.0E13	10.0E17	○	-	-
実施例 19	2.0E18	1.0	1.0E15	4.0E17	○	-	-
実施例 20	2.0E18	1.0	1.0E15	8.0E17	○	-	-
実施例 21	2.0E18	1.0	1.0E15	10.0E17	○	-	-
実施例 22	2.0E16	1.0	1.5E13	3.0E17	-	○	-
実施例 23	2.0E16	0.8	1.5E13	8.0E17	-	○	-
実施例 24	5.0E16	0.8	4.0E13	9.0E17	-	○	-
実施例 25	4.5E18	1.1	3.0E15	3.0E17	-	○	-
実施例 26	4.5E18	1.0	3.0E15	8.0E17	-	○	-
実施例 27	4.5E18	0.9	3.0E15	9.0E17	-	○	-
実施例 28	5.0E16	1.2	4.0E13	4.0E17	○	○	-
実施例 29	5.0E16	1.1	4.0E13	7.5E17	○	○	-
実施例 30	2.0E16	1.1	1.5E13	9.5E17	○	○	-
実施例 31	2.0E18	1.1	1.0E15	4.0E17	○	○	-
実施例 32	2.0E18	1.1	1.0E15	7.5E17	○	○	-
実施例 33	2.0E18	1.1	1.0E15	9.5E17	○	○	-

○: 調整内、-: 調整外

表9 (b)

	エビ界面～深さ 1μm 欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	個/ウェハ
実施例 16	4.0E2	1.2E3	8.0E9	検出されない
実施例 17	4.5E2	2.0E3	1.0E10	検出されない
実施例 18	6.0E2	2.0E3	1.5E10	検出されない
実施例 19	1.2E2	1.2E3	1.0E10	検出されない
実施例 20	1.5E2	1.2E3	2.0E10	検出されない
実施例 21	2.0E2	1.2E3	2.5E10	検出されない
実施例 22	6.0E2	1.8E3	8.5E8	検出されない
実施例 23	8.5E2	6.0E3	1.0E9	検出されない
実施例 24	9.5E2	6.0E3	2.0E9	検出されない
実施例 25	4.0E2	1.2E3	1.5E9	検出されない
実施例 26	6.0E2	1.5E3	3.0E9	検出されない
実施例 27	7.0E2	1.5E3	5.0E9	検出されない
実施例 28	<1.0E2	6.0E2	1.0E10	検出されない
実施例 29	2.4E2	9.0E2	1.2E10	検出されない
実施例 30	3.0E2	9.0E2	2.1E10	検出されない
実施例 31	<1.0E2	6.0E2	1.5E10	検出されない
実施例 32	<1.0E2	3.0E2	2.3E10	検出されない
実施例 33	1.2E2	3.0E2	2.5E10	検出されない

37  
表10 (a)

シリコン基板比抵抗: 0.02Ω·cm

	製造条件						
	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶空素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 16	2.0E16	0.9	1.5E13	4.0E17	○	-	-
実施例 17	2.0E16	1.0	1.5E13	8.0E17	○	-	-
実施例 18	5.0E16	1.0	4.0E13	10.0E17	○	-	-
実施例 19	2.0E18	0.9	1.0E15	4.0E17	○	-	-
実施例 20	2.0E18	1.0	1.0E15	8.0E17	○	-	-
実施例 21	2.0E18	1.0	1.0E15	10.0E17	○	-	-
実施例 22	2.0E16	0.8	1.5E13	3.0E17	-	○	-
実施例 23	2.0E16	0.8	1.5E13	8.0E17	-	○	-
実施例 24	5.0E16	0.8	4.0E13	9.0E17	-	○	-
実施例 25	4.5E18	0.8	3.0E15	3.0E17	-	○	-
実施例 26	4.5E18	0.8	3.0E15	8.0E17	-	○	-
実施例 27	4.5E18	0.9	3.0E15	9.0E17	-	○	-
実施例 28	5.0E16	1.1	4.0E13	4.0E17	○	○	-
実施例 29	5.0E16	1.2	4.0E13	7.5E17	○	○	-
実施例 30	2.0E16	1.2	1.5E13	9.5E17	○	○	-
実施例 31	2.0E18	1.2	1.0E15	4.0E17	○	○	-
実施例 32	2.0E18	1.2	1.0E15	7.5E17	○	○	-
実施例 33	2.0E18	1.2	1.0E15	9.5E17	○	○	-

○: 範囲内、 - : 範囲外

表10 (b)

	エビ界面～深さ 1μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	固/ウェハ
実施例 16	3.0E2	1.0E3	1.0E10	検出されない
実施例 17	3.0E2	1.5E3	1.5E10	検出されない
実施例 18	4.0E2	1.5E3	1.5E10	検出されない
実施例 19	1.0E2	1.0E3	1.0E10	検出されない
実施例 20	1.0E2	1.0E3	1.5E10	検出されない
実施例 21	1.0E2	1.0E3	2.0E10	検出されない
実施例 22	4.0E2	1.0E3	1.0E9	検出されない
実施例 23	6.0E2	4.0E3	1.0E9	検出されない
実施例 24	6.0E2	5.0E3	2.0E9	検出されない
実施例 25	3.0E2	1.0E3	3.0E9	検出されない
実施例 26	4.0E2	1.0E3	1.5E9	検出されない
実施例 27	6.0E2	1.0E3	3.0E9	検出されない
実施例 28	<1.0E2	3.0E2	2.0E10	検出されない
実施例 29	<1.0E2	5.0E2	2.0E10	検出されない
実施例 30	<1.0E2	5.0E2	2.5E10	検出されない
実施例 31	<1.0E2	2.0E2	3.0E10	検出されない
実施例 32	<1.0E2	1.0E2	3.0E10	検出されない
実施例 33	1.0E2	2.0E2	3.5E10	検出されない

【表11】

表11 (a)

シリコン基板比抵抗: 10Ω·cm

	製造条件						
	融波空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶融素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 34	1.0E19	0.8	1.0E16	10.0E17	-	-	(1)
実施例 35	8.0E18	0.8	5.0E15	10.0E17	-	-	(2)
実施例 36	8.0E18	0.8	5.0E15	10.0E17	-	-	(3)
実施例 37	8.0E18	0.8	5.0E15	10.0E17	-	-	(4)
実施例 38	8.0E18	0.8	5.0E15	10.0E17	-	-	(5)
実施例 39	-	0.8	-	10.0E17	○	-	(1)
実施例 40	-	0.8	-	10.0E17	-	○	(1)
実施例 41	-	0.8	-	10.0E17	○	○	(1)
実施例 42	8.0E18	1.0	5.0E15	10.0E17	○	-	(1)
実施例 43	4.5E18	0.9	3.0E15	9.0E17	-	○	(1)
実施例 44	8.0E18	1.1	5.0E15	10.0E17	○	○	(1)

○: 範囲内、 - : 範囲外

熱処理条件	(1)	Ar, 1100°C, 60分
	(2)	Ar, 1100°C, 5分
	(3)	O <sub>2</sub> , 1100°C, 60分
	(4)	Ar, 1000°C, 60分
	(5)	Ar, 1300°C, 5分

表11 (b)

	エビ界面～深さ 1μm欠陥		エビ層欠陥 個/ウェハ
	サイズ>0.1μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	
実施例 34	<1.0E2	9.0E2	1.0E9 検出されない
実施例 35	<1.0E2	1.0E4	1.0E9 検出されない
実施例 36	1.2E3	3.0E3	1.0E9 検出されない
実施例 37	<1.0E2	1.0E4	1.0E9 検出されない
実施例 38	<1.0E2	<1.0E2	1.0E8 検出されない
実施例 39	4.5E2	1.2E3	5.0E8 検出されない
実施例 40	9.5E2	1.2E3	1.0E8 検出されない
実施例 41	3.0E2	1.2E3	6.0E8 検出されない
実施例 42	<1.0E2	3.0E2	2.0E9 検出されない
実施例 43	<1.0E2	6.0E2	1.0E9 検出されない
実施例 44	<1.0E2	<1.0E2	3.0E9 検出されない

【表12】

【0067】

表12 (a)

シリコン基板比抵抗: 0.02Ω·cm

	製造条件						
	融液量 /cm <sup>3</sup>	引上速度 mm/分	結晶量 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 34	1.0E19	0.9	1.0E16	10.0E17	-	-	(1)
実施例 35	8.0E18	0.9	5.0E15	10.0E17	-	-	(2)
実施例 36	8.0E18	0.9	5.0E15	10.0E17	-	-	(3)
実施例 37	8.0E18	0.9	5.0E15	10.0E17	-	-	(4)
実施例 38	8.0E18	0.9	5.0E15	10.0E17	-	-	(5)
実施例 39	-	0.8	-	10.0E17	○	-	(1)
実施例 40	-	0.8	-	10.0E17	-	○	(1)
実施例 41	-	0.8	-	10.0E17	○	○	(1)
実施例 42	8.0E18	1.0	5.0E15	10.0E17	○	-	(1)
実施例 43	4.5E18	0.9	3.0E15	9.0E17	-	○	(1)
実施例 44	8.0E18	1.1	5.0E15	10.0E17	○	○	(1)

○: 範囲内、 - : 範囲外

熱処理条件	(1)	Ar, 1100°C, 60分
	(2)	Ar, 1100°C, 5分
	(3)	O <sub>2</sub> , 1100°C, 60分
	(4)	Ar, 1000°C, 60分
	(5)	Ar, 1300°C, 5分

表12 (b)

	エビ界面～深さ 1μm欠陥		バルク欠陥	エビ層欠陥
	サイズ>0.1μm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	サイズ>20nm /cm <sup>3</sup>	個/ウェハ
実施例 34	<1.0E2	5.0E2	1.0E9	検出されない
実施例 35	<1.0E2	5.0E3	1.0E9	検出されない
実施例 36	<1.0E2	1.0E3	1.0E9	検出されない
実施例 37	<1.0E2	5.0E3	1.0E9	検出されない
実施例 38	<1.0E2	<1.0E2	1.0E8	検出されない
実施例 39	4.5E2	5.0E2	5.0E8	検出されない
実施例 40	9.5E2	5.0E2	1.0E8	検出されない
実施例 41	3.0E2	6.0E2	6.0E8	検出されない
実施例 42	<1.0E2	<1.0E2	2.0E9	検出されない
実施例 43	<1.0E2	2.0E2	1.0E9	検出されない
実施例 44	<1.0E2	<1.0E2	3.0E9	検出されない

【表13】

[0068]

表13 (a)

シリコン基板比抵抗: 10Ω·cm

製造条件

	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
比較例 1	-	0.8	-	2.0E17	-	-	-
比較例 2	-	0.8	-	8.0E17	-	-	-
比較例 3	-	0.8	-	10.0E17	-	-	-
比較例 4	8.0E15	0.8	5.0E12	2.0E17	-	-	-
比較例 5	8.0E15	0.8	5.0E12	8.0E17	-	-	-
比較例 6	8.0E15	0.8	5.0E12	10.0E17	-	-	-
比較例 7	4.5E19	0.8	3.0E16	10.0E17	-	-	-

○: 範囲内、 - : 範囲外

表13 (b)

\* \* 【表14】

表14 (a)

シリコン基板比抵抗: 0.02Ω·cm

製造条件

	融液空素 /cm <sup>3</sup>	引上速度 mm/分	結晶空素 /cm <sup>3</sup>	結晶酸素 /cm <sup>3</sup>	Tm~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
比較例 1	-	0.8	-	2.0E17	-	-	-
比較例 2	-	0.9	-	8.0E17	-	-	-
比較例 3	-	0.9	-	10.0E17	-	-	-
比較例 4	8.0E15	0.8	5.0E12	2.0E17	-	-	-
比較例 5	8.0E15	0.9	5.0E12	8.0E17	-	-	-
比較例 6	8.0E15	0.9	5.0E12	10.0E17	-	-	-
比較例 7	4.5E19	0.9	3.0E16	10.0E17	-	-	-

○: 範囲内、 - : 範囲外

表14 (b)

	エビ界面～深さ 1μm欠陥 サイズ>0.1μm /cm <sup>3</sup>	バルク欠陥 サイズ>20nm /cm <sup>3</sup>	エビ層欠陥 個/ウェハ
比較例 1	1.0E5	3.5E6	5.0E6
比較例 2	2.0E5	2.0E6	2.0E7
比較例 3	4.0E5	6.0E6	3.0E7
比較例 4	9.0E4	1.0E6	1.0E7
比較例 5	1.5E5	2.0E6	3.0E7
比較例 6	2.5E5	5.0E6	5.0E7
比較例 7	1.5E3	1.0E5	1.0E10

## 【0069】

におけるゲッタリング能力に優れたエビタキシャルウェハである。本発明の製造方法は、前記シリコン半導体基板を従来よりも単純・容易に低成本で製造することが可能である。

【図面の簡単な説明】

【発明の効果】本発明のシリコン半導体基板は、エビタキシャル層内およびエビタキシャル層とサブストレートウェハの界面付近において欠陥発生が極めて少ない基板で、デバイス製造熱処理工程を経てもエビタキシャル層への結晶欠陥の発生を生じない基板であり、また、ウェハ内部折出物が十分あるためデバイスプロセス熱処理に

【図1】図1は本発明のシリコン半導体基板の概念図の

【図2】図2は本発明のシリコン半導体基板の概念図の一例である。

【図3】図3は特に、結晶冷却装置等を設置しない通常のCZ単結晶引上げ装置の概略図である。磁場印加装置は特に記載していないが、引上げ炉体周辺に磁場印加装置を設置し、磁場印加下でも引上げ可能である。

【図4】図4は凝固温度から800°Cの結晶温度領域のすべての領域を2.0°C/分以上で急冷ができるよう結晶冷却装置20を有するCZシリコン単結晶製造装置の概略図である。磁場印加装置は特に記載していないが、引上げ炉体周辺に磁場印加装置を設置し、磁場印加下でも引上げ可能である。

【図5】図5は800°Cから400°Cの結晶温度領域のすべての領域を1.0°C/分以上で急冷ができるよう結晶冷却装置30を有するCZシリコン単結晶製造装置の概略図である。磁場印加装置は特に記載していないが、引上げ炉体周辺に磁場印加装置を設置し、磁場印加下でも引上げ可能である。

【図6】図6は図4の装置に800°Cから400°Cの結晶温度領域のすべての領域を1.0°C/分以上で急冷ができるよう結晶冷却装置30を有するCZシリコン単結晶製造装置の概略図である。磁場印加装置は特に記載していないが、引上げ炉体周辺に磁場印加装置を設置し、磁場印加下でも引上げ可能である。

【図7】図7はエビタキシャルシリコンウェハ表面に銅、ニッケル、鉄などの金属不純物を故意に $10^{12}$ atom/s/cm<sup>2</sup>程度汚染させた後、さらに該ウェハにCMOS熱\*

\*処理を施した後のP/Nリード電流の増加量に対するバルク欠陥密度の関係を示すグラフである。

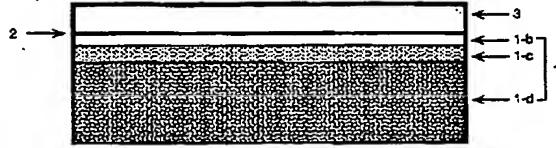
【符号の説明】

- 1…サブストレートシリコンウェハ
- 1 a…窒素添加サブストレートシリコンウェハ
- 1 b…無欠陥領域
- 1 c…欠陥密度漸次変化領域
- 1 d…IG層
- 2…エビタキシャル層／サブストレートウェハ界面
- 3…エビタキシャル層
- 4…CZ法シリコン単結晶引き上げ炉
- 5…ワイヤ巻き上げ機
- 6…断熱材
- 7…加熱ヒータ
- 8…回転治具
- 9…ルツボ
- 9 a…石英ルツボ
- 9 b…黒鉛ルツボ
- 10…ワイヤ
- 11…種結晶
- 12…チャック
- 13…ガス導入口
- 14…ガス排出口
- 20…高温領域結晶急冷装置
- 30…低温領域結晶急冷装置
- S…引上げシリコン結晶
- M…シリコン融液

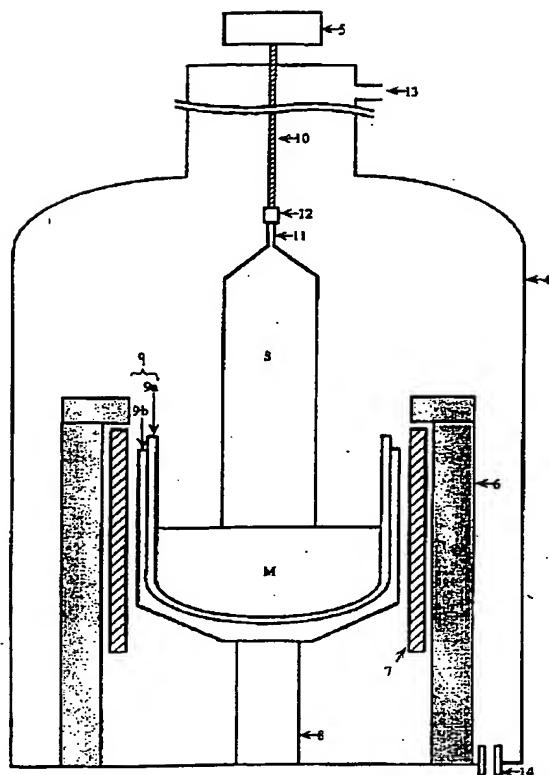
【図1】



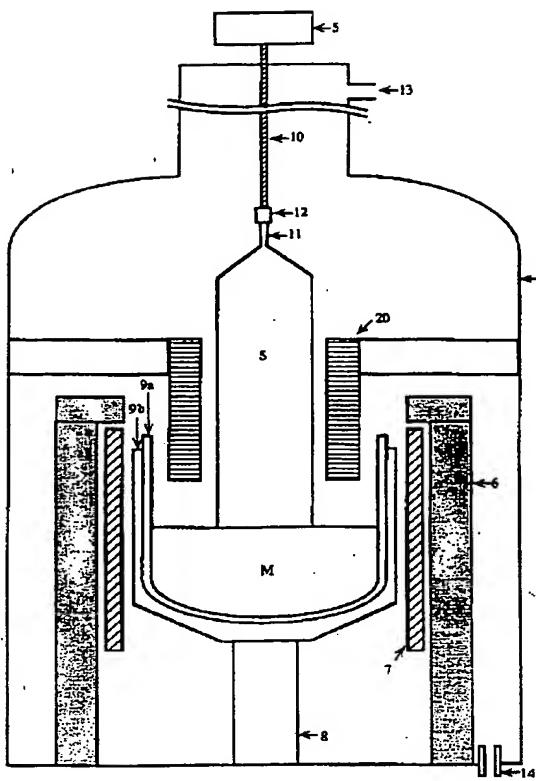
【図2】



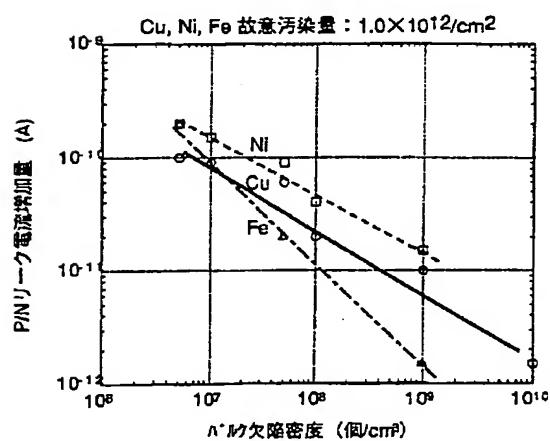
【図3】



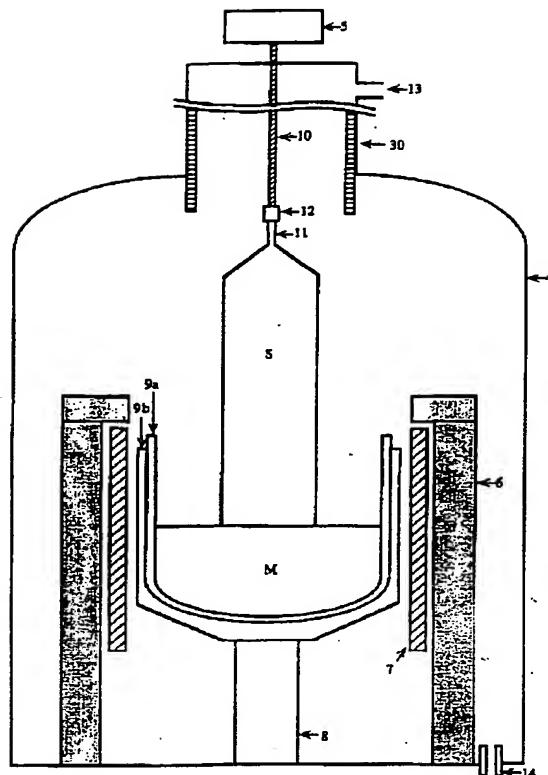
【図4】



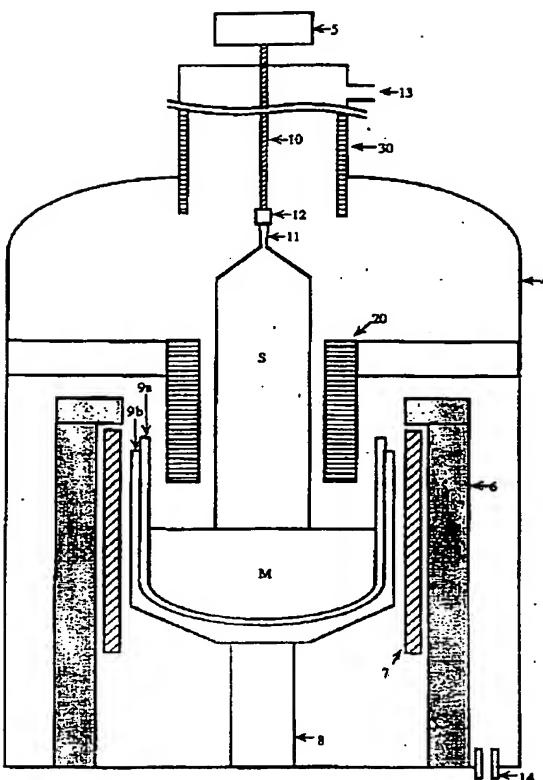
【図7】



【図5】



【図6】



フロントページの続き

(72)発明者 中居 克彦  
神奈川県川崎市中原区井田3-35-1 新  
日本製鐵株式会社技術開発本部内

(72)発明者 岩崎 俊夫  
山口県光市島田3434番地 ニッテツ電子株  
式会社内

(72)発明者 大橋 渡  
神奈川県川崎市中原区井田3-35-1 新  
日本製鐵株式会社技術開発本部内

(72)発明者 碇 敦  
神奈川県川崎市中原区井田3-35-1 新  
日本製鐵株式会社技術開発本部内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**